В.А. Алехин

OrCAD 17.2

Анализ и проектирование электронных устройств

Учебное пособие для вузов

Москва 2018

В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

Выходные данные

УДК 004.94

ББК ???

Алехин В.А.

A49 OrCAD 17.2. Анализ и проектирование электронных устройств. Учебное пособие для вузов. – М.: Горячая линия – Телеком, 2018. - с.

Рецензенты: доктор технических наук, профессор М.Л. Белов, доктор технических наук, доцент Д.А. Перепёлкин

Изложены вопросы анализа и схемотехнического проектирования электронных устройств в системе автоматизированного проектирования OrCAD 17.2 компании Cadence. Это одна из лучших программ сквозного проетирования электронной аппаратуры, представляющая дизайнерам широкие возможности разработки и моделирования электронных схем и создания печатных плат

Подробно рассмотрено моделирование разнообразных электронных схем в бесплатной учебной программе схемотехнического графического редактора проектов OrCAD Capture Lite, предназначенного для создания принципиальных схем и моделирования в программе PSpice 17.2. Изучаются основные методы работы в OrCAD 17.2: создание проектов, режимы моделирования цепей постоянного и переменного тока, переходных процессов, длинных линий, многовариантный анализ, анализ методом Монте-Карло, температурный анализ, анализ шумов, аналоговые поведенческие модели, моделирование цифровых и смешанных схем, создание иерархических проектов.

Рассмотрены вопросы подготовки схем для этапа проектирования печатных плат, приведены примеры ручной маршрутизации в редакторе печатных плат OrCAD PCB Editor и автоматической маршрутизации в OrCAD PCB Router.

Книга написана на основе технической документации компании Cadence и может служить руководством пользователя при работе с последними версиями программы OrCAD (OrCAD 16 и OrCAD 17). Материалы книги использовались в учебном процессе в МИРЭА – Российский технологический университет.

Для студентов, обучающихся по направлению 09.04.01 - «Информатика и вычислительная техника», будет полезно студентам других направлений, изучающих технологии проектирвания вычислительных устройств и электронной аппаратуры средствами САПР. Может быть полезно инженерно-техническим работникам, специализирующимся в области разработки и конструирования электронной аппаратуры.

ББК: ???

Адрес издательства в Интернете WWW.TECHBOOK.RU

© В.А. Алехин, 2018 © Издательство «Горячая линия-Телеком», 2018 Оглавление

Введение 11

- Глава 1. Начало работы в OrCAD 17.2 14
- 1.1. Системные требования 14
- 1.2. Что такое Spice модели электронных компонентов 14
- 1.3. Установка пакета OrCAD 17.2 Lite 15
- 1.4. Структура и состав пакета программ OrCAD 17.2 Lite 17
- 1.5. Состав программ OrCAD PSpice 18
- 1.6. Ограничения в учебных программах OrCAD 17.2 Lite 19
- 1.7. Процесс моделирования в OrCAD 21
- 1.8. Создание первого проекта 24
- 1.9. Поведение менеджера проекта 30
- 1.10. В чем разница между понятиями *a part* и *a symbol* 31
- 1.11. Создаем первую схему из символов 32
- 1.12. Моделирование первой схемы 36
- 1.13. Окно команд TLC 42
- 1.14. Редактор схем и компонентов 43
- 1.14.1. Редактор схемных страниц 43
- 1.14.2. Редакторы схем и компонентов 44
- 1.15. Панели инструментов Capture 50
- 1.16. Поиск в режиме Capture 54
- 1.17. Диалоговое окно «Настройки» 56
- 1.18. Справочная документация OrCAD 58
- 1.19. Контрольные вопросы 59
- Глава 2. Анализ электрических цепей постоянного тока 60
- 2.1. Краткие теоретические сведения 60
- 2.1.1. Элементы, структура и основные законы 60
- электрических цепей 60
- 2.1.2. Основные законы электрических цепей 62
- 2.1.3. Расчет цепи методом контурных токов (МКТ) 63
- 2.2. Расчетное задание №2.1. 63

- 2.3. Компьютерное моделирование задания №2.1 64
- 2.4. Делитель напряжения 67
- 2.5. Делитель токов 68
- 2.6. Метод эквивалентного генератора. 68
- 2.6.1. Расчетное задание №2.2 69
- 2.6.2. Компьютерное моделирование задания №2.2 69
- 2.6.3. Баланс мощности 70
- 2.7. Согласование нагрузки с генератором. Развертка параметров. 71
- 2.7.1. Параметрический анализ мощности при изменении значения резистора 72
- 2.7.2. Использование курсоров 77
- 2.7.3. Развертка двух параметров 78
- 2.8. Выходные характеристики биполярного транзистора 79
- 2.9. Анализ и отображение режима постоянного тока (Bias Point)85
- 2.9.1. Сохранение режимов постоянного тока 87
- 2.9.2. Загрузка сохраненного режима постоянного тока 89
- 2.10. Контрольные вопросы 91
- Глава 3. Анализ на переменном токе 92
- 3.1. Краткое теоретическое введение 92
- 3.1.1. Символический метод расчета 92
- 3.1.2. Мощность в цепи гармонического тока 93
- 3.1.3. Расчет цепи методом двух узлов 94
- 3.2. Расчетное задание 95
- 3.3. Компьютерное моделирование по заданию 3.2 95
- 3.3.1. Схема моделирования 97
- 3.3.2. Использование двух курсоров 99
- 3.4. Активный заграждающий фильтр 101
- 3.4.1. Моделирование активного заграждающего фильтра 103
- 3.4.2. Добавление и изменение графиков 106
- 3.5. Многовариантный анализ активного фильтра 110
- 3.5.1. Изменение величины резисторов 110
- 3.5.2. Изменение установки потенциометра обратной связи. 115

3.6. Контрольные вопросы 119

Глава 4. Анализ методом Монте-Карло 120

4.1. Принципы метода Monte Carlo 120

4.3. Исследование влияния точности двух видов компонентов 125

4.4. Повторное использование значений случайных параметров 126

4.5. Создание гистограмм 128

4.6. Контрольные вопросы 129

Глава 5. Анализ наихудшего случая 130

5.1. Функции сравнения для наихудшего случая 130

5.2. Анализ смещения частоты режекции в заграждающем фильтре 130

5.3. Оптимизация схемы по результатам анализа худшего случая 136

5.4. Контрольные вопросы 138

Глава 6. Электрические цепи с магнитной связью 140

6.1. Краткие теоретические сведения и расчет простых 140 неразветвленных цепей140

6.3. Связанные колебательные контуры 144

6.4. Нелинейные трансформаторы с магнитными сердечниками 147

6.5. Экспериментальное определение гистерезисной кривой 151

6.6. Типовые трансформаторы 152

6.7. Контрольные вопросы 153

Глава 7. Редактор стимулов 154

7.1. Ввод и редактирование стимулов 154

7.2. Стимулы для переходных процессов 155

7.2.1. Экспоненциальные источники 155

7.2.2. Профили моделирования 159

7.2.3. Импульсные источники 161

7.2.4. Синусоидальные сигналы 162

7.2.5. Простая частотная модуляция (SFFM) 163

7.2.6. Кусочно-линейная аппроксимация 165

7.3. Контрольные вопросы 166

Глава 8. Анализ переходных процессов 167

8.1. Краткое теоретическое введение 167

8.1.1. Классический метод расчета переходных процессов 168

- 8.2. Моделирование переходных процессов 173
- 8.3. Профиль моделирования переходных процессов 173

8.4. Планирование 177

8.5. Контрольные точки 178

8.6. Формирования временных зависимостей стимула напряжения с использованием текстовых файлов 182

8.6.1. Кусочно-линейные стимулы с однократным повторением 182

8.6.2. Текстовые стимулы с повторением 183

8.7. Контрольные вопросы 187

Глава 9. Проблемы сходимости и сообщения об ошибках 188

Глава 10. Анализ технических характеристик 189

10.1. Измерение времени фронта в RC - цепи 189

10.2. Зависимость времени нарастания от параметров цепи 192

10.3. Контрольные вопросы 195

Глава 11. Линии передачи 197

11.1. Определение линии с распределенными параметрами 197

11.2. Вывод телеграфных уравнений линии с потерями 197

11.3. Уравнения линии для гармонического сигнала. 198

Характеристические параметры линии 198

11.4. Падающие и отраженные волны 199

11.5. Входное сопротивление линии 199

11.6. Уравнения линии без потерь 200

11.7. Режимы работы линии без потерь 200

11.8. Исследование линий передачи в OrCAD-17.2 200

11.8.1. Идеальная линия передачи без потерь 201

11.8.2. Линии с потерями 202

11.9. Примеры моделирования линии без потерь 203

11.9.1. Согласованная линия без потерь 203

11.9.2. Короткозамкнутая линия без потерь 205

11.9.3. Разомкнутая линия без потерь 206

11.9.4. Режим смешанных волн в линии без потерь 207

- Рис. 11.7. Режим смешанных волн 207 11.10. Исследование формы волны в линии без потерь 207 11.11. Контрольные вопросы 212 Глава 12. Аналоговые поведенческие модели 213 213 12.1. Обзор аналогового поведенческого моделирования 12.2. Размещение и спецификация компонентов АВМ 215 12.2.1. Имена цепи и имена устройств в выражениях АВМ 215 12.2.2. Необходимость использования глобального определения 216 12.3. Пример удвоителя напряжения 216 12.4. Пример компаратора 217 12.5. Пример умножителя 218 219 12.6. Пример фильтра нижних частот 12.7. Контрольные вопросы 220 Глава 13. Анализ шума 221 13.1. Виды шумов: 221 223 13.2. Пример исследования шума в транзисторном усилителе 13.2.1. Настройка и анализ шума 224 13.3. Контрольные вопросы 230 Глава 14. Температурный анализ 231 231 14.1. Температурные коэффициенты 14.2. Запуск анализа температуры 232 Пример 14.1: Влияние температуры на ВАХ диода 232 14.3. Контрольные вопросы 234 Глава 15. Редактирование и создание PSpice модели 235 15.1. Редактирования параметров PSice модели235 237 15.2. Создание PSpice модели нового компонента 15.3. Контрольные вопросы 244 245 Глава 16. Цифровое моделирование 16.1. Модели цифровых устройств 245 16.1.2. Функциональное поведение 245 16.2. Цифровые цепи 248 249 16.2.1. Моделирование цифрового счетчика
- В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

- 250 16.2.2. Профиль цифрового моделирования 16.2.3. Отображение цифровых сигналов 251 16.3. Контрольные вопросы 253 254 Глава 17. Смешанное моделирование 254 17.1. Исследование аналогового компаратора с цифроым выходом 17.2. Исследование цифро-аналогового преобразователя 256 17.3. Контрольные вопросы 259 Глава 18. Создание иерархических проектов 261 18.1. Создание иерархического проекта 261 262 18.1.2. Создание плоского проекта полусумматора HalfAdd 18.1.3. Иерархические порты и off-page разъемы 26318.1.4. Создание иерархического проекта Full Adder 265 18.1.5. Восходящий метод 266 18.1.6. Создание схемы полного сумматора 266 271 18.1.7. Добавление в проект аналоговых компонентов 18.1.8. Создание и сохранение компонентов для новых проектов 272 18.1.9. Нисходящий метод 274 280 18.2. Перемещение по иерархической конструкции 18.3. Моделирование полного сумматора 280 18.4. Контрольные вопросы 283 Глава 19. Испытательные стенды 284 19.1. Использование частичного моделирования проекта 284 19.2. Работа с тестовым стендом 286 19.2.1. Создание тестового стенда 287 19.2.2. Активация компонентов 288 290 19.3. Сравнение и обновление основного проекта 19.4. Контрольные вопросы 292 Глава 20. Обработка схемы 293 293 20.1. Добавление ссылок для компонентов 296 20.2. Создание отчёта перекрёстных ссылок 20.3. Создание списка материалов 298 20.4. Добавление специфических свойств редактора РСВ 300
- В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

- 20.5. Проверка правил проектирования 301
- 20.6. Контрольные вопросы 305
- Глава 21. Проектирование печатных плат с использованием 306

OrCAD PCB Editor 306

21.1. Обзор 306

- 21.2. Подготовка в Capture 307
- 21.2.1. Создание списка соединений для редактора печатных плат 307
- 21.3. Начало работы в РСВ Editor 311
- 21.4. Создание печатной платы 313
- 21.4.1. Создание контура платы 313
- 21.4.2. Добавление монтажных отверстий 318
- 21.5. Размещение компонентов 322
- 21.5.1. Выбор компонентов с помощью RefDes 322
- 21.5.2. Поиск компонентов на плате 327
- 21.5.3. Проверка правил разработки 330
- 21.6. Использование категории DataTip 331
- 21.7. Выделение области 333
- 21.8. Выбор элементов дизайна с помощью Superfilter 334
- 21.9. Общие параметры на всплывающих меню 336
- 21.10. Описание режима привязки 337
- 21.11. Использование панели окна WorldView 338
- 21.12. Маршрутизация 340
- 21.12.1. Руководство по маршрутизации 340
- 21.12.2. Ручная маршрутизация цепей VCC и GND. 340
- 21.12.3. Маршрутизация остальных сетей вручную 344
- 21.13. Автоматическая маршрутизация с помощью PCB Editor 347
- 21.14. Автоматическая маршрутизация с помощью OrCAD PCB Router 348
- 21.15. Пост-обработка 352
- 21.15.1. Переименование компонентов вручную 352
- 21.15.2. Автоматическое переименование компонентов 353
- 21.15.3. Обратное аннотирование 354
- 21.16. Кросс-зондирование и кросс-выделение между редактором 357
- В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

9

- печатных плат и Capture 357
- 21.17. Генерация вывода 359
- 21.18. Выходные файлы 359
- 21.19. Отчеты 363
- 21.20. Резюме 363
- 21.21. Контрольные вопросы 363
- Библиография 365

Введение

В настоящее время активно обсуждаются концепции реализации «Четвёртой промышленной революции», названной Индустрия 4.0. Её предпосылкой считают возникновение возможности объединять, импортировать в облако все отдельные процессы и вычисления в изолированных системах, выполняемые не только большими вычислительными машинами, но и персональными устройствами. Это означает, что рабочий процесс, содержание и управление, как отдельной машиной, так и сериями машин, сможет выполняться удалённо. Такая организация управления системами позволит значительно сократить человеческие ресурсы, необходимые для обслуживания предприятия. Индустрия 4.0 будет использовать два концептуальных решения: облачные вычисления и интернет вещей (Internet of Things - IoT). Первое заключается в размещении в Интернете информации и позволяет осуществлять удалённый доступ к приложениям, службам и сохранённым данным. Интернет вещей основывается на этой же концепции, используя облако для хранения и автоматизации процессов в объектах, которые синхронизируются с Интернетом, таких как автомобили с поддержкой Интернета, удалённое домашнее освещение, различная носимая электроника, медицинская техника.

Составлен список из 30 технологий и технических достижений, без которых вообще невозможна Индустрия 4.0. Это список включает, в частности, мобильные устройства, облачные вычисления, платформы интернета вещей, когнитивную робототехнику, системы автоматизированного проектирования, мехатронику, высокоточные приборы, сверхчувствительные сенсоры, интеллектуальные датчики, микроэлектромеханические системы (MEMS), анализ больших данных так далее.

На следующем этапе развития к интернету вещей будут относить: умный транспорт и беспилотники, умный город, умные рабочие места, умные электросети, умные заводы, точное земледелие, умные скважины и многое другое.

Интеграция информационных технологий и концепций, активно развивающихся в XXI веке, создаёт предпосылки к формированию локальных и даже национальных кибер-физических систем.

Кибер-физические системы (Cyber-Physical System, CPS) — это системы, состоящие из различных природных объектов, искусственных подсистем и управляющих контроллеров, позволяющих представить такое образование как единое целое. В CPS обеспечивается тесная связь и координация между вычислительными и физическими ресурсами. Компьютеры осуществляют мониторинг и управление физическими процессами с использованием такой петли обратной связи, где происходящее в физических системах оказывает влияние на вычисления и наоборот. Причём, управление кибер-физическими системами будет основаться на предварительном компьютерном моделировании процессов в них.

Вполне очевидно, что Интернет вещей и Индустрия 4.0 могут быть реализованы только на самом современном электронном оборудовании и выпускники вузов должны владеть средствами автоматизированного проектирования электронных систем.

Современные тенденции развития электроники заключается в применении встраиваемых систем на основе систем на кристалле (System-on-Chip (SoC)) или (СБИС СнК). Такие SoC - решения обычно состоят из встроенного процессора (процессоров), встроенных памяти, аппаратных ускорителей, высокоскоростных коммуникационных интерфейсов и реконфигурируемой логики. Вследствие этого разработки таких радиоэлектронных систем становятся все более сложными, поскольку они предъявляют более жёсткие требования к низкой стоимости, более высокой производительности, качеству продукции, безопасности. Разработчики используют сложные современные программные средства автоматизированного проектирования электронных систем, созданные известными компаниями США: Synopsys,

Mentor Graphics, Cadence, Altera и др. Освоение и применение этих программных сред требует многолетней упорной работы научнопроизводственных групп и коллективов.

В учебных планах вузов знакомство с отдельными программами названных выше компаний предусмотрено в дисциплинах по технологиям проектирования электронных устройств и систем средствами САПР.

В этом учебном пособии мы изучаем систему автоматизированного проектирования OrCAD 17.2 компании Cadence. Это одна из лучших программ сквозного проектирования электронной аппаратуры, предоставляющая дизайнерам широкие возможности разработки и моделирования электронных схем и создания печатных плат. Первые книги по OrCAD в России были написаны В.Д. Разевигом, однокурсником и хорошим знакомым автора данного учебного пособия [9]. Примерно в то же время в переводе в России была опубликована книга Джона Коена [10]. Причём, в ранних версиях OrCAD отсутствовал графический интерфейс пользователя (Graphical User Interface - GUI), и схему цепи требовалось программировать на языке PSpice. Это существенно замедляло процесс обучения и исследования.

Последние версии OrCAD (16.6, 17.2) имеют всё необходимое для выполнения различных этапов процесса разработки: входное проектирование, функциональное моделирование, синтез, размещение, маршрутизация, моделирование задержек, генерация элемента. Основным недостатком OrCAD является высокая стоимость профессиональных версий. Однако, компания Cadence предлагает бесплатные облегченные учебные версии программы OrCAD Capture CIS Lite, которые мы используем в нашем учебном пособии.

Изучив основы схемотехнического проектирования в учебной программе OrCAD 17.2 Lite, вы сможете в будущем успешно работать и в полных версиях.

При создании этой книги были использованы многочисленные материалы и техническая документация, которые автору удалось найти в Интернете. Компания Cadence заинтересована в привлечении разработчиков к своей продукции и публикует подробные руководства и видеоуроки по OrCAD. Мы будем изучать OrCAD на примерах моделирования аналоговых электрических цепей и электронных схем, цифровых и смешанных (аналогово-цифровых) схем, начиная с простейших цепей постоянного тока. Это позволит читателям восполнить или приобрести знания по электротехнике, электронике и цифровой технике. В последних главах вы познакомитесь с основами проектирования печатных плат.

Материалы этой книги успешно использовались в Российском технологическом университета – МИРЭА при изучении студентами дисциплины «Технологии проектирования устройств и систем вычислительной техники средствами САПР».

Итак, мы приступаем к изучению OrCAD 17.2 ! Желаю успехов !

Доктор технических наук, профессор кафедры вычислительной техники Российского технологического университета – МИРЭА

В.А. Алехин

Глава 1. Начало работы в OrCAD 17.2

В этой главе содержится информация о загрузке и установке нового PSpice OrCAD 17.2 Lite, первые шаги, которые вы должны выполнить, чтобы создать и смоделировать проект.

1.1. Системные требования

Для установки OrCAD 17.2 и работы с этой программой ваше оборудование должно соответствовать следующим требованиям:

• Операционная система:

Windows 7 Professional, Enterprise, Ultimate или Home Premium (64-разрядная версия)

Windows 8 (64-разрядная версия), (все пакеты обновления)

Windows 10 (64-разрядная версия)

Windows Server 2008 R2 R2

Windows 2012 Server (все пакеты обновления)

• Рекомендуемое программное обеспечение:

Microsoft Internet Explorer 11.0 или новее

• Минимальное оборудование

4 ГБ физической памяти

10 ГБ дискового пространства

Виртуальная память должна быть как минимум вдвое больше доступной физической памяти

Разрешение экрана 1024 х 768 для истинного цвета (16-битный цвет)

• Рекомендуемое оборудование:

Intel 4-го поколения Core или AMD Kaveri

4 ГБ физической памяти

10 ГБ свободного места на диске

Разрешение экрана 1280 х 1024 с истинным цветом (не менее 32-битного цвета)

Рекомендуется использовать выделенную графическую карту.

1.2. Что такое Spice - модели электронных компонентов

Реальные электронные устройства в настоящее время разрабатывают с использованием компьютерных программ сквозного проектирования, в которых электронные компоненты моделируются Spice – моделями.

Первая версия программы Spice (Simulation Program with Integrated Circuit Emphasis) в переводе означает «Программа моделирования, предназначенная для интегральных схем» была разработана в середине 70-х годов прошлого века в Калифорнийском университете США. Она позволяла анализировать линейные и нелинейные цепи во временной и частотной области, рассчитывать частотные характеристики линейных цепей. Для анализа линейных цепей использовался метод узловых потенциалов. Библиотека моделей включала модели диода и биполярного транзистора. С течением времени программа совершенствовалась, расширялся список моделей компонентов. В 1984 году корпорация MicroSim представила программу Spice для персональных компьютеров, назвав её PSpice. В начале 90-х годов были созданы версии, позволяющие моделировать не только аналоговые, но и смешанные аналого-цифровые устройства. Программа получила удобный интерфейс, обеспечивающий графический ввод схем.

РЅрісе широко применяется в промышленности, позволяя исследовать работу схем без создания реальных макетов в лаборатории. При этом достигается существенная экономия материалов и рабочего времени. Если проект требует изменений или улучшений, результаты легко могут быть получены на компьютере при изменении исходных условий. Разработчик просто заменяет компоненты, которые обычно используются в реальных цепях, и после этого снова исследует работу и электрические свойства устройства. Обычно трудно бывает предсказать, сколько таких компонентов должно быть заменено. Когда же этим занимается компьютерная программа, она производит утомительные вычисления с меньшей вероятностью ошибок и намного быстрее, чем человек.

В последние годы несколько компаний разработали на основе программы PSpice новые программные продукты - OrCAD, TINA, Proteus и д.р. В этих программах также используются стандартные Spice – модели электронных компонентов. Причём, в разработке Spice – моделей участвуют ведущие производители электронных компонентов: Analog Devices, Burr-Brown, Motorola, National Semiconductor, Texas Instruments, Zetex и многие другие

1.3. Установка пакета OrCAD 17.2 Lite

Загрузить бесплатную программу OrCAD 17.2 Lite можно с сайта <u>www.orcad.com</u>.

На вкладке Overview найдите вкладку Try OrCAD for Free, а на ней откройте вкладку Download OrCAD 17.2 Lite Now (рис. 1.1).



Рис. 1.1. Загрузка программы OrCAD 17.2 Lite

Заполните и отошлите запрос на загрузку программы и Cadence даст Вам такую возможность. Важно отметить, что эта учебная программа работает без ограничения по времени и с её помощью можно изучить очень многое.

После того, как вы загрузили программное обеспечение, разархивируйте его и нажмите Setup (Приложение) или 17.2-2016-OrCAD-PSpice-Designer-Lite.exe. После этого выполняйте рекомендуемые инструкцией шаги для успешного завершения установки:

выберите установку приложения для всех пользователей этого компьютера;

выберите директорию, в которую вы хотите установить программу или директория будет назначена по умолчанию;

на следующей вкладке нажмите Install.

Установка займёт некоторое время. Затем нажмите «Готово».

После установки вы найдёте на вкладке Пуск – Все программы в папке Cadence Release 17.2-2016 структуру только что установленного программного обеспечения (рис. 1.2).

16



Рис. 1.2. Структура установленного ПО

1.4. Структура и состав пакета программ OrCAD 17.2 Lite

Установленный пакет OrCAD 17.2 Lite включает (Рис.1.2):

• Capture CIS Lite: (CIS - Component Information System) — схемотехнический графический редактор проектов, предназначенный для создания моделей электрических схем из моделей элементов. Возможности этой программы расширены за счет того, что справочная информация может получаться через Internet. При этом зарегистрированный пользователь получает доступ к информации о приблизительно 200 тысячах электронных компонентов.

• PCB Editor Lite: графический редактор для проектирования печатных плат (PCB - Printed Circuit Board).

• PCB Router Lite: использует маршрутизацию на основе *Shape-Based* или *бессеточной технологии* и является более быстрым инструментом маршрутизации (разводки печатных плат).

• PSpice AD Lite: — универсальная программа моделирования с возможностями аналого-цифрового моделирования, выполняет симуляцию и вывод результатов.

 PSpice Advanced Analysis Lite: — универсальная программа моделирования с возможностями аналого-цифрового моделирования, имеет набор возможностей анализа для оптимизации параметров, прогнозирования надёжности и улучшения качества и производительности;

• Утилиты PSpice: набор инструментов, которые будут использоваться в сочетании с Capture и PSpice (редактор магнитных деталей, редактор моделей, диспетчер моделирования, редактор стимулов).

1.5. Состав программ OrCAD PSpice

OrCAD 17.2 использует несколько программ, основанных на PSpice. К ним относятся следующие.

OrCAD PSpice — программа моделирования в среде OrCAD. Эта программа создавалась как самостоятельное средство моделирования и достаточно широко применяется в различных средах моделирования. В OrCAD 16 и 17 применяются три версии OrCAD PSpice:

• OrCAD PSpice — программа, предназначенная для проведения только аналогового моделирования;

• OrCAD PSpice A/D Basic — упрощенная универсальная программа моделирования с возможностями аналого-цифрового моделирования;

• OrCAD PSpice A/D — универсальная программа моделирования с возможностями аналого-цифрового моделирования.

OrCAD Probe — программа, позволяющая осуществлять обработку результатов моделирования в виде осциллограмм.

OrCAD PSpice Model Editor — инструмент, предназначенный для создания и редактирования математических моделей электронных элементов.

OrCAD Stimulus Editor — инструмент, использующийся при создании и редактировании моделей источников сигналов.

OrCAD PSpice Optimizer — программа параметрической оптимизации режимов работы моделей методом наискорейшего спуска.

PSpice Simulation Manager — программа, обеспечивающая очередность работы со схемами, ожидающими моделирования и находящимися в процессе моделирования. Пользователь имеет возможность приостановить текущее моделирование, запустить анализ другой схемы, а затем вернуться к первой. Возможна расстановка приоритетов в очереди.

1.6. Ограничения в учебных программах OrCAD 17.2 Lite

Вполне понятно, что бесплатная учебная программа будет по функциональным возможностям слабее дорогой профессиональной. Версия Lite (облегченная) для продуктов OrCAD имеет определенные ограничения, связанные с размером и сложностью дизайна. Если ваш дизайн превышает эти ограничения, вы не сможете сохранить свою работу или получить свой дизайн посредством выполнения потока операций.

Рассмотрим подробнее ограничения учебных программ

Ограничения в программе OrCAD Capture CIS Lite

- Вы не можете сохранить проекты с более чем 75 цепями, в том числе иерархические блоки в дизайне. Вы можете попрежнему просматривать или создавать большие конструкций.
- Вы не можете сохранить дизайн с более чем 60 компонентами, включая иерархические блоки в дизайне. Вы можете только просматривать или создавать большие конструкций.
- В базе данных Capture CIS не может быть более 1000 компонентов.
- Вкладка Internet Component Assistant (ICA) (ICA) в CIS Explorer открывает окно About ActiveParts (www.activeparts.com), а не страницу поиска компонентов.
- Вы не можете создавать детали с более чем 100 контактами.
- Процесс создания FPGA в Capture недоступен.
- Вы не можете проверить набор электрических ограничений.
- Функции CIS и SI недоступны, если вы устанавливаете PSpice Lite. Для доступа к этим функциям, установите PCB Designer Lite.
- Переводчик Altium недоступен.
- Полный учебник по обучению может быть недоступен в зависимости от установленной версии Lite.

Ограничения в программе PSpice Lite

PSpice 17.2 Lite имеет ограничения по сложности проекта и его функционированию. Перечислим наиболее существенные:

- Моделирование схем ограничено цепями с 75 узлами, 20 транзисторами, без ограничения подсхем, но допустимо 65 цифровых примитивных устройств и 10 линий передачи (идеальных или неидеальных) с не более чем четырьмя попарно связанными линиями.
- Характеристика устройства и параметризованное создание деталей с использованием PSpice® редактора моделей ограничено диодами.
- Включает все библиотеки, в том числе параметризованные библиотеки.
- Отсутствие ограничений для генерации стимулов с использованием редактора стимулов.

- Предоставлены примерная библиотека моделей с именем eval.lib (содержащая аналоговые и цифровые части) и evalp.lib (содержащие параметризованные части).
- Максимальное количество узлов в цифровой цепи может быть равно или меньше 250.

Ограничения в программе PSpice Advanced Analysis Lite

Расширенный анализ *PSpice Advanced Analysis Lite* имеет следующие ограничения:

- Анализ «дыма» (Smoke analysis) предупреждает о напряжённых компонентах из-за рассеивания мощности, увеличения температуры перехода, вторичных пробоев или нарушений пределов напряжения/тока. Этот анализ может работать только на диодах, резисторах, транзисторах и конденсаторах.
- Оптимизатор может использовать только метод случайных чисел (Random) и модифицированный метод наименьших квадратов (MLSQ).
 - Можно оптимизировать значения до двух параметров компонента.
 - Поддерживаются максимум одна спецификация измерения и одна кривая спецификации.
 - Поддерживается только один метод расчёта ошибок для оптимизации кривой.
- Параметрический плоттер:
 - Может измерять значения только двух параметров проекта и/или модели.
 - Поддерживается только линейная развёртка.
 - Допускается не более 10 развёрток.
 - Может оценивать влияние изменения значений параметров только на одно выражение измерения или следа.
 - Дисплей не доступен.
- Монте-Карло и анализ «худшего случая»
 - Допускается только одна спецификация измерений.
 - Поддерживается максимум три устройства с допуском.
 - Поддерживается максимум 20 проходов Монте-Карло.
- Анализ чувствительности
 - Допускается только одна спецификация измерений.
 - Поддерживается максимум три устройства с допуском.
 - Поддерживается максимум 20 прогонов.
 - Шифрованные параметризованные модели нельзя моделировать.
 - Оптимизатор Random Engine может выполнять до 5 прогонов.

Ограничения программы OrCAD PCB Editor Lite

• Вы не можете сохранить платы с более чем 50 компонентами и / или 100 цепями. Тем не менее, вы все равно можете просмотреть более крупные проекты.

• Файлы руководств и учебников будут доступны с ограничениями Lite.

Предоставляется ограниченная библиотека образцов.

Ограничения программы OrCAD PCB Router Lite

• Вы не можете сохранить результаты сеанса маршрутизации

1.7. Процесс моделирования в OrCAD

Процесс моделирования схемы можно условно поделить на несколько этапов, каждый из которых в свою очередь подразделяется на несколько промежуточных.

Процесс моделирования простого электронного устройства показан на рис. 1.3 и включает в себя создание библиотек компонентов в OrCAD Capture, создание библиотеки PSpice – моделей компонентов в Model Editor, создание проекта в OrCAD Capture, создание и настройка профиля моделирования, запуск моделирования, анализ полученных результатов в PSpice.



В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

Рис. 1.3. Процесс моделирования простого проекта

Простые проекты без оптимизации, как правило, выполняются в последовательном потоке до получения результатов.

Перед началом работы необходимо удостовериться в том, что имеются все необходимые для схемы библиотеки компонентов. Если какие-либо библиотеки отсутствуют, их можно создать в приложениях OrCAD Capture и Model Editor. Рекомендуется загружать библиотеки компонентов, которые находятся на сайтах разработчиков компонентов, либо искать их на сайте www.orcadcapturemarketplace.com.

Стандартные библиотеки PSpice содержат более 16000 аналоговых и 1600 цифровых и смешанных моделей устройств, выпускаемых в Северной Америке, Японии и Европе.

Используйте компоненты из стандартных библиотек PSpice или PSpice Advanced Analysis библиотек, если вы хотите проанализировать компоненты с помощью PSpice.

Стандартные библиотеки PSpice устанавливаются в следующих в каталогах:

■ Символы Capture для стандартных библиотек PSpice в \ Tools\ Capture \ Library \ PSpice \. Файлы этих библиотек имеют расширение .OLB и используются для моделирования в PSpice Capture.

■ Стандартные библиотеки моделей PSpice в \ Tools \ PSpice \ Library \ имеют расширение .LIB . Последние можно применять и для моделирования схемы, и для проектирования печатных плат.

Библиотеки расширенного анализа (PSpice Advanced Analysis libraries) содержат более 4300 аналоговых компонентов. Библиотеки расширенного анализа содержат параметризованные и стандартные детали. Большинство компонентов параметризуются.

Параметризованные части имеют точность (толерантность), вероятностное распределение, могут быть оптимизированы и иметь параметры «дыма», необходимые для PSpice Advanced Analysis.

Расположение библиотек.

■ Символы Capture для библиотек расширенного анализа в \ Tools\ Capture \ Library \ PSpice \ AdvAnls \

■ Библиотеки моделей расширенного анализа PSpice в \Tools\ PSpice \ Library. Файлы из этого каталога имеют расширение .LIB.

В настоящее время Cadence предоставляет широкий набор программных средств для проектирования современных электронных устройств от интегральных схем и ПЛИС до систем на кристалле (СНК) и Интернета вещей [11].

На рис. 1.4. показаны этапы проектирования систем на кристалле, вклю-чающие:

- Системное проектирование;
- Аппаратное проектирование;
- Проектирование топологии интегральной схемы (ИС);

В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

- Проектирование корпуса ИС;
- Проектирование печатной платы;
- Разработка программных средств;
- Отладка и тестирование системы.



Рис. 1.4. Этапы проектирования СНК

На рис. 1.5. показан маршрут проектирования сложной электронной системы [11]. Сначала проводится системное проектирование на языках С++ и SystemC с использованием библиотек, стандартов, сложных заказных готовых IP (Intellegence Properties) блоков. Затем проводят одновременно аппаратное и программное проектирование цифровых и смешанных аналогово-цифровых и заказных блоков с использованием языков Verilog, VHDL, AMS, выполняют логический синтез FPGA (field-programmable gate array - программируемая логическая интегральная схема (ПЛИС)) и ASIC (application specific integrated circuit – интегральная схема специального назначения). Проводят физическое прототипирование, создают библиотеку производителя, проектируют топологию, выполняют верификацию топологии с возвратом для уточнения на системное прототипирование, эмуляцию и системное программирование. Такой замкнутый цикл может повторяться многократно, пока не будут достигнуты надежные требуемые параметры устройства. Только после этого проект передают в производство, корпусирование и разработку печатной платы.



Рис. 1.5. Маршрут проектирования Cadence

Чтобы научиться этому, надо начать с простых электронных устройств и изучить OrCAD 17.2.

1.8. Создание первого проекта

Перед началом работы надо создать в компьютере папку, в которой будут храниться файлы проекта. В OrCAD применяют такие термины:

Проект (Project);

Разработка (Design);

Библиотека (Library);

Текстовые или VHDL файлы.

Файл проекта (расширение .OPJ) содержит указатель на один файл разработки (.DSN), а также библиотеки, VHDL файлы, выходные файлы отчетов, связанные с файлом разработки.

В файле разработки находится одна или несколько папок (shematic folders), содержащих по одному или несколько листов (shematic pages), а также кэш разработки, который подобно библиотеке, содержит копии всех элементов, использованных в разработке.

Итак, создаем папку для нашего первого проекта, например : C:\PR-1.

Запускаем программу Capture CIS Lite из меню Пуск или с рабочего стола, дважды щелкнув по ярлыку. После загрузки программы откроется стартовая страница (рис. 1.6).



Рис. 1.6. Стартовая страница

Если у Вас уже есть готовые проекты, можно открыть любой из них, выбрав Open Project (для всего проекта) или Open Design (для разработки из проекта) и загрузив нужный файл из проводника.

Мы создаем первый проект и выбираем New Project. В окне New Project задаем имя проекта (например, PR-1), расположение в папке C:\PR-1 (хотя совпадение имен необязательно). Выбираем программу моделирования PSpice Analog or Mixed A/D для моделирования аналоговых, цифровых и смешанных схем (рис. 1.7). Такой проект можно будет использовать для создания печатной платы разработки.



Рис. 1.7. Выбор типа проекта.

Нажав ОК, мы получаем предложение выбрать, на каком из существующих проектов будет базироваться новый.

| Create PSpice Project | × |
|---|--------|
| Oreate based upon an existing project | ОК |
| simple.opj | Browse |
| AnalogGNDSymbol.opj demo_all_libs.opj | Cancel |
| empty.opj empty_aa.opj empty_aa_all_libs.opj | Help |
| hierarchical_aa.opj hierarchical_aa_all_libs.opj | |
| simple.opj | |
| simple_aa.opj simple_aa_all_libs.opj | ~ |

Рис. 1.8. Выбор базового проекта

Появляется окно, где нужно выбрать пункт меню Create based upon an existing project (создать проект на основе имеющихся шаблонов). В выпадающем списке выбираем один из 42 готовых для моделирования проектов, которые находятся в подкаталоге \tools\capture\templates\pspice каталога с установленной программой. Сюда можно добавить свой собственный проект, и при создании нового проекта его также можно будет выбрать в этом списке. По именам файлов проектов можно судить об их особенностях. Например, simple.opj или empty.opj – это простые проекты с одним схемным листом и подключенными базовыми библиотеками компонентов с PSpice-моделями. Шаблоны, начинающиеся со слова hierarchical, – это иерархические проекты с двумя подсхемами по одному листу в каждой (об этом мы будем говорить позже). Проекты типа empty_aa, simple_aa, hierarchical_aa и т.д. – это проекты с предустановленными библиотеками компонентов, пригодными для проведения дополнительных видов анализа (Advanced Analysis). К шаблонам с окончанием all_libs подключены все библиотеки выбранного типа.

Основные библиотеки, которые применяются чаще всего, – это analog.olb (базовые пассивные компоненты) и source.olb (источники питания и сигналов).

Наиболее часто используемый вариант для новых простых проектов simple.opj, который добавляет для проекта следующие пять библиотек по умолчанию (рис. 1.9).



Рис. 1.9. Библиотеки шаблона simple.opj в окне

менеджера проектов (МП)

Эти библиотеки содержат наиболее часто используемые элементы для PSpice проектов и рекомендуются для новых проектов. Существует также возможность создавать обновлённые версии существующего проекта, то есть создать новую версию 2, основанную на оригинальном проекте версии 1. Для этого в окне Create PSpice Project проекта (рис. 1.8), выберите функцию *Create based upon an existing project* и затем *Brouse*, чтобы выбрать существующий

В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

проект. Эти действия будут копировать существующий проект и все связанные с ним файлы в новый проект. Это похоже на операцию File> Save As функции.

При выборе Create a blank project библиотеки Capture-PSpice не добавляются к проекту. Эти библиотеки могут быть добавлены позже.

При создании нового проекта создаётся, окно Менеджера проекта (МП) (Рис. 1.9), который показывает абсолютный путь к библиотекам. Помните, что это символы Редактора проектов, которые определяют графику для компонентов (рис. 1.10). Они не являются PSpice моделями библиотеки Capture, и не устанавленные по умолчанию, могут быть найдены и добавлены в проект позже.



Рис. 1.10. Библиотека графики аналоговых элементов



Рис. 1.11. Примеры графики элементов библиотеки

Для добавления новой библиотеки в проект надо выделить папку Library, в выпавшем меню нажать Add File, в каталоге библиотек выбрать нужный файл и нажать «Открыть».

| | Add File to Pro | oject Folder - Lib | rary | | x |
|--------------------|-----------------|---------------------|---------------------------|------------------|---------|
| 💼 File 🖏 Hierarchy | a: | 퉬 advanls | • | • 🧿 🤌 📴 • | |
| Design Resources | | Имя | * | Дата изменения | Тип 🔺 |
| prtest1.dsn* | | 🖬 aa_igbt | | 16.12.2015 21:43 | Файл' |
| | | aa_misc | | 17.08.2009 17:41 | Файл'≘ |
| | | 📓 asw | | 16.12.2015 21:45 | Файл ' |
| | | 📓 bjn | | 16.12.2015 22:01 | Файл ' |
| Add File | | 🖻 bjnd | | 16.12.2015 22:02 | Файл ' |
| Save As | л 14 | 國 bjp | | 16.12.2015 22:12 | Файл ' |
| Part Mana | iger | 國 bjpd | | 16.12.2015 22:13 | Файл ' |
| ····· | | 🖻 buf | | 17.08.2009 17:40 | Файл ' |
| | Библиотоки | CONTROLL | .ER | 17.08.2009 17:40 | Файл ' |
| | виолиотеки | Cores | | 17.08.2009 17:40 | Файл ' |
| | | 🖪 di | | 16.12.2015 22:40 | Файл ' |
| | | 📓 dif | | 17.08.2009 17:40 | Файл ' |
| | Компьютер | 🖬 dih | | 16.12.2015 22:42 | Файл' Т |
| | | | | | - |
| | | <u>И</u> мя файла: | aa_misc | - | Открыть |
| | | <u>Т</u> ип файлов: | Capture Libraries (*.olb) | • | Отмена |

Рис. 1.12. Добавление файла в библиотеку

Если при создании проекта выбрать шаблон simple_aa_all_libs.opj, то в проект подключатся практически все библиотеки из каталога \tools\capture\library\pspice\...

| Create PSpice Project | x |
|--|----------------|
| Oreate based upon an existing project | ОК |
| simple_aa_all_libs.opj | Browse |
| simple_aa_all_libs.opj simple.opj AnalogGNDSymbol.opj demo_all_libs.opj empty.opj empty.opj | Cancel Help |
| empty_aa_all_libs.opj hierarchical_aa.opj hierarchical_aa_all_libs.opj simple_aa.opj | |

Рис. 1.13.

Фрагмент списка библиотек из папки \advanls\ показан на рис. 1.14.



Рис. 1.14. Фрагмент списка библиотек

Кроме библиотек менеджер проекта содержит папку SCHEMATIC1, страницу схемы PAGE1, папки выходных файлов Outputs и PSpice Resources.

Если окно Менеджера проектов не отображается, выбираем Windows-<project name>opg-file.\

| Options | Window | Help | |
|---------|------------------|---|----|
| | <u>N</u> ew V | Vindow | 5 |
| | <u>C</u> asca | de | |
| W TT | Tile <u>H</u> e | orizontally | l |
| | Tile <u>V</u> e | ertically | l |
| -3 M | Close | All Tabs of Active Project | l |
| | Close | All <u>T</u> abs of Active Project Except Current | ł |
| | Arrang | ge Icons | L |
| | ✓ <u>1</u> Sessi | ion Log | [|
| 6 | ✓ <u>2</u> c:\pr | -1\pr-1.opj | |
| | Close | All Windows | |
| | | | 81 |

Рис.1.15. Открытие окна менеджера проекта

1.9. Поведение менеджера проекта

Внутри менеджера проекта вы можете развернуть или свернуть структуру, которую вы просматриваете, нажав на знак «плюс» или «минус» слева от папки. Знак «плюс» означает, что в папке есть содержимое, которое не является в настоящее время видимым; знак «минус» указывает, что папка открыта и ее содержимое видно, в виде перечисленных ниже папок.

При двойном щелчке по папке схемы Capture отображает страницы схемы в этой папке. Если папка является моделью VHDL, Capture отображает каждый определенный объект в этой модели. Если папка Verilog model, Capture отображает каждый определенный модуль в модели.

Когда вы дважды щелкаете по странице схемы, объекта VHDL или модели Verilog, вы открываете этот объект в соответствующием редакторе. Например, двойной щелчок по объекту VHDL открывает файл модели VHDL на расположении определения этого объекта в редакторе VHDL Capture.

Каждый проект, который вы открываете, имеет собственное окно менеджера проектов. Вы можете перемещать или копировать папки или файлы между проектами, перетаскивая их из одного окна менеджера проекта в другое (а также из Проводника Windows). Если вы закроете окно менеджера проектов, вы закроете проект.

Каждый проект может содержать один дизайн (.DSN). Дизайн может состоять из любого числа схемных папок, схемных страниц или моделей VHDL или Verilog, но должен иметь один корневой модуль. Корневой модуль - это модуль, который определяется как объект верхнего уровня для дизайна. То есть все остальные модули в дизайне указаны в корневом модуле.

1.10. В чем разница между понятиями *a part* и *a symbol*

Перед созданием схемы полезно узнать разницу между понятиями *a part* и *a symbol*

Используют следующие термины:

Part – (часть-компонент) является основным строительным блоком конструкции. **Part** может представлять один или несколько физических элементов или может представлять собой функцию, имитационную модель или текстовое описание для использования внешнего приложения. Поведение компонента описывается моделью SPICE, прилагаемой папкой со схемой, записью HDL или другими средствами. Компоненты обычно соответствуют физическим объектам-затворам, разъемам и т. д., которые входят в пакеты одной или нескольких частей. Пакеты с более чем одним элементом иногда называют «пакетами с несколькими элементами».

Part (компонент) понимают также, как графическое изображение на схеме реально существующего электронного изделия, которое, как правило имеет промышленную маркировку, реальный корпус и т.п. Компоненты могут состоять из одной или нескольких секций. Компонениы имеют PSice или VHDL модели.

Компоненты надо выбирать из меню Place>Part.

Начиная с версии 16.6, в OrCAD Capture появилась возможность размещать на схеме наиболее часто используемые при моделировании компоненты через специальное меню Place → PSpice Component. Это избавляет разработчика от долгого поиска пассивных и дискретных компонентов через панель Place Part. Компоненты из меню PSpice Component называют Symbol (символы).

Symbol — упрощенное графическое изображение одной секции компонента на электрической принципиальной схеме. Это упрощенная и обобщенная PSpice модель, которую используют для моделирования процессов. Символы не имеют промышленной маркировки, их изображение более обобщенное, чем у комплнентов из меню Part.

Символы вы должны выбирать из меню Place и Place>PSpice Component.

1.11. Создаем первую схему из символов

В проекте создаем первую схему из символов. Открываем первую страницу схемы.

Кнопка Place становится активной.

Познакомимся сначала с символами.

На вкладке Place выбираем PSpice Components-Digital-Gates-And (рис. 1.16) и помещаем модель в схему. Также поместим символ транзистора и конденсатора.



Рис. 1.16. Размещение символов в схеме

Обратите внимание на то, что на изображениях символов отсутствует промышленная маркировка серий логических элементов и транзисторов.

В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

Составим простую схему из двух резисторов, источника напряжения и земли.

Выбираем источник постоянного напряжения из меню Place> PSpice Component>Sources>Voltage Sources>DC (Puc. 1.17).

| Place SI Analysis PSpice A | cessories Options Window Help |
|---|--|
| - ⑦ <u>P</u> in 〕 Pin Array | - Q Q Q Q • UI 🕫 🖸 🖬 🖬 🗮 🖏 📭 🔩 🤇 |
| 🚯 <u>P</u> art P | a 1v 🐽 1x 🐽 1# 🕂 🞼 🕼 🌆 🕂 🛃 |
| PSpice Component | PSpice <u>G</u> round |
| Parameterize <u>d</u> Part | Capacitor 🕴 🎝 🕪 🚺 🍘 |
| <u>D</u> atabase Part Z | Diode |
| 1. <u>W</u> ire W | Inductor |
| Auto Wire | Resistor 4 |
| 1 <u>B</u> us B | Digital • |
| - 🔶 Junction J | Discrete |
| Bus Entry E | Passives |
| 🛎 <u>N</u> et Alias N | Source Controlled Sources |
| ₩ P <u>o</u> wer F | Search |
| ↓ <u>G</u> round G | Voltage Sources AC |
| 💁 Off-Page Connector | Modeling Application |
| Kana Kana Kana Kana Kana Kana Kana Kana | no en la companya de |
| Hierarchical Port | No se |
| Hie <u>r</u> archical Pin | OVCCExponential |
| No <u>C</u> onnect X | en e |
| IEEE Symbol | |

Рис. 1.17. Выбор источника напряжения и резисторов

В схеме обязательно должна быть «Земля» с нулевым потенциалом. Для PSpice моделирования необходимо установить землю со знаком «0» из библиотеки CAPSYM. Для этого в меню Place выбираем Ground и нужный символ земли (рис. 1.18)

| Place Ground | × |
|--|---|
| Symbol: O/CAPSYM 0/ZAPSYM 0/ZAPSYM 0/ZAPSYM GND_EARTH/CAPSYM GND_FIELD SIGNAL/2C+ Libraries: CAPSYM Design Cache Name: 0 | OK Cancel Add Library Remove Library Help |
| Use 0/CAPSYM symbol to place a dc ground NetGroup Ground | |
| Show UnNamed NetGroup | |

В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

Рис. 1.18. Выбор символа земли

Далее выполняем Place>PSpice Component> Resistor и соединяем символы в схему. Для этого на правой панели инструментов выбираем значок Place wire или нажимаем горячую клавишу «w». Для окончания соединения выбираем End Mode.

Получим схему (рис. 1.19)



Рис. 1.19. Первая схема из символов

Лишние элементы можно удалить, выделив их указателем и нажав delete.

Значение символа или компонента

Каждый символ или компонент должен иметь значение его величины, установленное в окне Properties (Свойства).

Примерами являются 1.2К, 10.0uF и 74ALS374. CIS поддерживает использование общих принятых обозначений (например, К и uF).

Важное замечание: в OrCAD в десятичных числах целая часть отделена точкой.

Запрос базы данных использует интеллектуальное преобразование единиц для интерпретации общих идентификаторов определения величин, поскольку записи в базах данных деталей часто имеют несогласованность (например, значение для 2.7К резистор может быть 2.7К, 2.700, 2.70К, 2.700К, 2700.0, 0,0027 М и т. Д.). Единицы измерения (например, F для фарадов или H для генри) игнорируются в переводе.

Идентификаторы величин, поддерживаемые в CIS, включают следующие:

| Идентификатор | Десятичная приставка | Величина |
|---------------|----------------------|-------------------|
| f | фемто | 10 ⁻¹⁵ |

| р | пико | 10 ⁻¹² |
|---|-------|-------------------|
| n | нано | 10 ⁻⁹ |
| u | микро | 10 ⁻⁶ |
| m | МИЛЛИ | 10-3 |
| K | кило | 10^{3} |
| М | мега | 10 ⁶ |
| G | гига | 109 |
| Т | тера | 10 ¹² |

В меню источника напряжения открываем Edit Properties и устанавливаем 10V (рис. 1.20).

| R1 | |
|--|---|
| Display Properties | × |
| Name: DC Value: IDV Display Format Do Not Display Value Only Name and Value Name Only Both if Value Exists Value if Value Exists | Font Arial 7 (default) Change Use Default Color Default ■ 0° ● 180° ● 90° ● 270° Text Justification Default ▼ |
| ОК | incel Help |

Рис. 1.20. Установка напряжения источника.

В окнах Place Power и Place Ground (рис 1.18) есть набор библиотек источников и «заземлений», которые применяются для разных целей, в том числе есть символы цифровых уровней HI, LO и цифровой земли 0 V.

Напомним, символы помещены в меню Place, а компоненты размещены в Place> Part. Также отметим, что обе библиотеки компонентов и библиотеки Symbol имеют расширение .olb и являются частями схемного графического редактора.

Схемный редактор автоматически маркирует соединение каждого провода, также, как и номер узла, который по умолчанию не отображается на схеме. Однако, вы можете назначить свои собственные метки для проводников узлов, которые дадут обозначение узлу (например, вход или выход), и это полезно, когда вы хотите анализировать различные узлы в цепи. Эти метки известны как псевдонимы и размещаются на проводе. Выделив провод, а затем выбрав Place>Net alias (или выбрав иконку сетевого псевдонима <u>abc</u>) можно маркировать провод метками.



Рис. 1.21. Маркеровка проводников

Панели инструментов Capture содержат кнопки инструментов с пиктограммами, которые помогают ускорить работу со схемой (рис. 1.22) и дублируют команды меню Place.



Рис. 1.22. Некоторые инструменты панели

1.12. Моделирование первой схемы

OrCAD позволяет проводить самые разнообразные исследования электронных схем. Поэтому перед началом моделирования надо выбрать и установить желаемый новый профиль моделирования или отредактировать существующий.

Для этого в главном меню выполняем PSpice>New Simulation Profile, вводим имя профиля (например, PR-1) и нажимаем Create.

| New Simulation | | | × |
|-----------------|------------|---|--------|
| Name: | | | Create |
| PR-1 | | | ciedic |
| Inherit From: | | | Cancel |
| none | - |] | |
| Root Schematic: | SCHEMATIC1 | | |

Рис. 1.23. Создание профиля моделирования

На вкладке General отображено название профиля, проекта и размещение файлов.

На вкладке Analysis устанавливаем для цепи постоянного тока тип анализа Bias Point (рис.1.24). Это анализ режима по постоянному току в точке смещения или, как говорят, в рабочей точке электронного компонента. Дополнительные опции использовать не будем.
| | Simulation Settings - PR-1 General Analysis Configura Analysis Type: Bias Point • Options: General Settings Temperature (Sweep) Save Bias Point | ation Files Options Data Collection Probe Window Output File Options Include detailed bias point information for nonlinear controlled sources and semiconductors (.OP) Perform Sensitivity analysis (.SENS) Output variable(s): Calculate small-signal DC gain (.TF) From Input source name: |
|--|--|--|
|--|--|--|

Рис. 1.24. Установка типа анализа

На вкладке Cofiguration Files выбираем Library и находим в каталоге C:\Cadence\SPB_17.2\pspice\library\nomd.lib (рис. 1.25). Открываем эту библиотеку. Этот файл «основной библиотеки» вызывает другие библиотеки, поставляемые Cadence вместе с установкой. Это библиотека индексов, в которой собраны все библиотеки Cadence PSpice. Эти кассетные библиотеки PSpice будут использоваться в симуляции, поэтому файл надо добавить глобально.

| General | Analysis | Configuration Files | Options | Data Collection | Probe Window | |
|------------|----------|---------------------|----------------|--------------------|--------------|----------------|
| Category: | | Filename: | | | | |
| Stimulue | | C:\Cadence\SPE | 3_17.2\tools\p | spice\library\nomd | .lib | Browse |
| Library | | Configured Files | | (| | |
| Include | | | | l | | |
| | | Nomd.lib* | | | | Add as Global |
| 🔽 Update I | ndex | | | | | Add do Global |
| | | | | | | Add to Design |
| | | | | | | Add to Profile |
| | | | | | | Edit |
| | | | | | | Change |
| | | Library Path | | | | |
| | | "C:\Cadence\SP | B_17.2\tools\l | PSpice\Library" | | Browse |
| | | | | | | |

Рис. 1.25. Установка файлов конфигурации

На вкладке Options установим Analog Simulation (Рис. 1.26).

| Analog Simulation | Name | Value | Default Value |
|-----------------------|---|---|---|
| Auto Converso | SPEED_LEVEL | 3 💌 | 3 |
| MOSFET Option | RELTOL | 0.001 | 0.001 |
| | VNTOL | 1.0u | 1.0u |
| General | ABSTOL | 1.0p | 1.0p |
| Gate Level Simulation | CHGTOL | 0.01p | 0.01p |
| | GMIN | 1.0E-12 | 1.0E-12 |
| | ITL1 | 150 | 150 |
| Advanced | ITL2 | 20 | 20 |
| General | Use Speed Level=0 for h PSpice Version. For bett | igher accuracy and com er simulation performan | patibility with previous ce, do not use high ITL4 fo |

Рис. 1.26. Установка опций

Вкладка Options содержит установки параметров моделирования. Выделив конкретный параметр, можно прочитать его назначение и рекомендуемые величины. Так, например,:

SPEED_LEVEL - скорость моделирования;

RELTOL - относительный допуск напряжения и тока;

VNTOL - допуск напряжения, описывает наилучшую точность напряжений в симуляция;

ABSTOL - токовый допуск, описывает наилучшую точность токов в симуляция;

СНGTOL - допуск заряда, описывает лучшую точность зарядов;

GMIN - указывает минимальную проводимость, используемую для любой ветви;

ITL – предельное количество итераций для разных режимов моделирования.

На вкладке Data Collection выберем напряжение, ток и мощность (рис. 1.27).

| General | Analysis | С | onfiguration Files | Options | Data Collection | Probe Window | | | |
|------------|-------------------------|------|--------------------|---------|-----------------|--------------|--|--|--|
| Data Colle | Data Collection Options | | | | | | | | |
| | Voltage | S: | All | | | | | | |
| | Curren | ıt: | All | | | | | | |
| Power: A | | | All | | | | | | |
| Digital: | | None | | | | | | | |
| | Noise | e: | None | | | | | | |
| Probe Dat | a: () 32 | -bit | 6 | 4-bit | | | | | |
| Save d | ata in the CSI | DF f | ormat (.CSD) | | | | | | |

Рис. 1.27.

На вкладке Probe Windows установим открытие окна после выполнения моделирования.

| eneral | Analysis | Configuration Files | Options | Data Collection | Probe Window | |
|--------|---------------|-------------------------|---------|-----------------|--------------|--|
| | | | | | | |
| Disp | lay Probe wir | ndow when profile is op | ened | | | |
| ~ | | | | | | |
| Disp | lay Probe wir | ndow: | | | | |
| | during Sir | mulation. | | | | |
| | after simu | llation has been comple | eted. | | | |
| Show | | | | | | |
| | Markers on o | pen schematics. | | | | |
| OLas | t Plot | | | | | |
| | the law of | | | | | |

Рис. 1.28. Установка окна Ргове

Нажимаем Apply>OK.

После этого в менеджере проектов появляется введенный нами профиль SHEMATIC-PR-1. Там же могут быть профили, загруженные по умолчанию или ранее. Чтобы выбрать нужный профиль, выделяем его и выбираем Make active (рис. 1.29).



Рис. 1.29. Выбор активного профиля

После этого возвращаемся на страницу разработки, выполняем сохранение и нажимаем RUN. После окончания моделирования включаем измерительные приборы и наблюдаем результаты (рис. 1.30).





В окне Probe в меню View>Output File можно посмотреть печатный отчет о результатах (рис. 1.31). Так как мы моделировали стационарный режим постоянного тока в окне Probe никакие графики не отображаются.

Рис. 1.31. Выходной файл результатов моделирования

В менеджере проекта файл Outputs содержит данные о компенентах схеиы и условиях работы (рис. 1.32)

| 1: | * | source | PR-2 |
|----|---|--------|-----------------|
| 2: | R | R1 | AB CD 1k TC=0,0 |
| 3: | R | R2 | 0 CD 1k TC=0,0 |
| 4: | v | V1 | AB 0 10V |
| 5: | | _ | |

Рис. 1.32. Выходной файл менеджера проектов

Итак, первая схема смоделирована. Чтобы узнать, какие ещё схемы мы сможем исследовать выбираем в главном меню File>Open>Demo Designes и в таблице видем, какие компоненты можно моделировать в Captute, в PSpice и других программах.

| Open Demo Designs | | | | | | | × |
|--|---------|-----|--------|----------|---------|------|------|
| Name | Capture | CIS | PSpice | PSpiceAA | Allegro | Lite | Info |
| 8-bit Analog to Digital converter | Υ | Ν | Y | Ν | N | Y | • |
| 8-bit BCD counter using Actel devices | Y | Ν | N | N | N | Y | 0 |
| 8-bit BCD counter using Altera devices | Y | Ν | N | N | N | Y | 2 |
| 8-bit BCD counter using Xilinx devices | Y | N | N | N | N | Y | 0 |
| 8-bit Digital to Analog converter | Y | Ν | Y | N | N | Y | 0 |
| 80C51 Board Schematic | Y | N | N | N | N | Y | 0 |
| AC Analysis of RC circuit | Y | Ν | Y | N | N | Y | ? |
| ADC parameterizing circuit | Y | N | Y | N | N | Y | |
| Amplitude and Balanced Modulation | Y | Ν | Y | N | N | Y | 0 |

В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

Рис. 1.33. Таблица схем Demo

Каждую схему можно изучить подробнее, посмотреть теорию, расчеты и результаты моделирования (рис. 1.34)



Рис. 1.34. Пример схемы аналого-цифрового преобразователя

1.13. Окно команд TLC

Tcl (Tools Command Language - командный язык инструментов) разработан как язык для интеграции приложений и популярный язык сценариев, встроенный в различные инструменты EDA (Electronic Design Automation).

Среда Capture включает в себя окно Command. Вы используете это окно для выполнения TCL команд. Кроме того, когда вы выполняете операцию (функцию) в Capture, соответствующую команде зарегистрированной в TCL-интерпретаторе, то команда регистрируется в окне Command.

Чтобы отобразить окно команд:

1. В меню View окна Probe откройте каскадное меню панели инструментов.

2. В каскадном меню панели инструментов выберите Command Windows.

Чтобы очистить окно командной строки, в командной строке введите cls и нажмите Enter.

| File | Edit View Simulation Trace Plot Tools Window Help 🔟 | |
|---|---|---|
| | 👻 🗁 🔐 🖶 🖴 💥 💷 💼 🥱 🛷 💷 🗛 🗐 🕵 SCHEMATICI-PR-2 | |
| Q, | q a, q, 🔄 🖬 🔰 🛲 🗷 📐 🗠 🗮 🏠 📰 📰 🖬 🖬 | |
| 9 | | |
| oadir oadir Info] Info] Info] Info] Info] | g C:/Cadence/SPB_17.2/tools/pspice/tclscripts/pspAutoLoad/pspMatlabMenu.tcl g C:/Cadence/SPB_17.2/tools/pspice/tclscripts/pspAutoLoad/pspInit.tcl g C:/Cadence/SPB_17.2/tools/pspice/tclscripts/pspAutoLoad/pspInit.tcl forPrmDesigner] package require orPrmApBase orPrmDesigner] package require orPrmApBase orPrmDesigner] source C:/Cadence/SPB_17.2/share/orJSLibs/orcad/SampleApp/OrEntryTestApp.t [OrPrmDesigner] Loading done | Resistors: 2 VSwitches: 1 Voltage Sout 2 Subcircula:: 1 ······························· |
| | III b | Analysis \ Watch \ |

Рис. 1.35. Окно команд инструментов

1.14. Редактор схем и компонентов

Сарture включает в себя ряд редакторов, включая текстовый редактор с функциями для создания моделей VHDL, редактор схем и редактор компонентов. Эти редакторы в основном функционируют в соответствии с общими принятыми в Windows инструментами. Однако есть определенные уникальные черты (особенно в отношении масштабирования и прокрутки), которые отличают редакторы Capture от других редакторов Windows.

Кратко рассмотрим основные особенности редакторов Capture/

1.14.1. Редактор схемных страниц

Вы редактируете страницы схемы в окне редактора схемных страниц. В этом окне есть два вида разделителей.

Разделитель в правом верхнем углу 🧊 разделяет страницу по горизон-

тали. Разделитель в левом нижнем углу Каждый вид имеет свои собственные полосы прокрутки, поэтому вы можете просматривать отдельные области на одной странице.

Чтобы снять разделение, надо передвинуть разделительную полосу в исходное состояние.



Рис. 1.36. Разделение страницы

1.14.2. Редакторы схем и компонентов

Сарture включает в себя ряд редакторов, включая текстовый редактор с функциями для создания моделей VHDL, редактор схем и редактор компонентов. Эти редакторы в основном функционируют в соответствии с общим принципами, которые можно было бы ожидать в инструментах Windows. Однако есть определенные уникальные черты (особенно в отношении масштабирования и прокрутки), которые отличают редакторы Capture от других редакторов Windows.

В режиме Capture вы можете прокручивать изображение схемы вверх или вниз, или влево и вправо, чтобы сосредоточиться на другой части активного окна. Хотя некоторые объекты в меню Place прикреплены к вашему указателю, во время размещения вы все равно можете прокручивать их.

Перемещать схему в окне можно движками прокрутки, кнопками Page Up и Page Down, стрелками, а также сочетанием клавиши Ctrl с перечисленными выше, вращением колесика мыши. Если нажать Shift, то вращение колесика будет перемещать схему влево и вправо. Если нажать правую кнопку мыши и колесико одновременно, схему можно перетаскивать движением мыши.

Чтобы изменить область отображения:

1. При рисовании, размещении или перемещении объектов или при рисовании области выделения переместите указатель на край окна и используйте движки прокрутки, чтобы изменить изображение.

Чтобы настроить расстояние панорамирования и масштаб:

1. Выберите Options - Preference, затем выберите вкладку Pan and Zoom (Рис. 1.37).

2. В текстовом поле Scroll Percent введите процент горизонтального или вертикального размера окна, на который оно будет прокручиваться на дисплее. Обратите внимание, что вы можете указать отдельные значения для страницы схемного редактора и редактора символов.

3. Установите Zoom Factor. Он показывает, во сколько раз увеличивается или уменьшается изображение при нажатии клавиш с буквами I или O.

4. Нажмите «ОК».

| Options Window Help | Preferences |
|--|--|
| Preferences | Colom/Print Grid Dioplay, Pan and Zoom, Soloot, Miscollanoous, Text Editor, Roard Simulation |
| Autobackup | Schematic Page Editor Part and Symbol Editor |
| CIS <u>Configuration</u> CIS Pre <u>f</u> erences | Zoom Factor: 2 Zoom Factor: 2 |
| Design P <u>r</u> operties Schematic Page P <u>r</u> operties | Auto Scroll Percent: 5 Auto Scroll Percent: 5 |
| Part P <u>r</u> operties P <u>a</u> ckage Properties | Моге Preferences ОК Отмена Справка |

Рис. 1.37

Перемещение по местоположению, ссылке или закладке

Вы можете использовать команду Go To для перемещения курсора в определенные места (координаты сетки, ссылки или закладки) в конкретном редакторе. Координаты X и Y текущего местоположения вашего указателя отображаются на правую часть строки состояния. Сетки ссылок отображаются слева и сверху краев страницы схемы в редакторе схемных страниц.

Чтобы перейти в определенное место:

1. Выберите View - Go To.

2. Выберите вкладку Location.

3. Введите значения X и Y, выберите параметр Absolute option и нажмите «OK». Координаты измеряются в дюймах или метрических единицах, в зависимости от того, что вы указали на вкладке Design Template / Design Properties dialog box.. Ваш указатель перемещается в новые координаты.

Чтобы переместить на определенное расстояние:

1. Выберите View - Go To.

2. Выберите вкладку Location.

3. Введите значения X и Y, на которые вы хотите переместить указатель, выберите параметр Relative, затем нажмите OK. Расстояние перехода измеряется в дюймах или метрических единицах. Ваш указатель переместится на указанное расстояние.

Чтобы перейти к определенной ссылке на сетку:

1. Выберите View - Go To.

2. Выберите вкладку Grid Reference.

3. Введите горизонтальную и вертикальную информацию, соответствующую ссылке на сетку, затем нажмите «ОК».

| 💽 Go To |
|----------------------------------|
| Location Grid Reference Bookmark |
| Horizontal: 1 Vertical: A |
| ОК Отмена Справка |

Рис. 1.38. Переход по ссылке на сетку

Чтобы перейти к определенной закладке:

- 1. Выберите View Go To.
- 2. Выберите вкладку Bookmark «Закладка».
- 3. Введите имя закладки и нажмите «ОК».

Использование масштаба Zoom

В редакторе схемы и редакторе разделов вы можете увеличить масштаб, чтобы внимательно посмотреть на конкретную область.

Когда вы нажимаете клавишу буквы I для увеличения масштаба, Capture центрирует вашу схему по текущей позиции указателя.

Вы также можете масштабировать определенный объект на странице с помощью правой кнопки мыши. Нажмите на пустой области, близкой к объекту, и удерживая нажатой кнопку мыши, перетащите область над той частью, которую вы хотите увеличить. Коэффициент масштабирования - 3.

Чтобы увеличить масштаб выберите View - Zoom, затем выберите команду Zoom In. Текущий масштаб умножается на коэффициент масштабирования. Так, например, коэффициент масштабирования в 2 приводит к тому, что изображение будет отображаться в два раза большим и отображает на половину площади предыдущего вида.

Или удерживайте клавишу CTRL и поверните колесико мыши.

Как установить коэффициент масштабирования, показано на рис. 1.39.

Увеличить масштаб можно кнопкой ⁽²⁾ из панели инструментов или вводом буквы «I».

Уменьшить масштаб можно кнопкой 🤍, вводом буквы «О», вводом команды Zoom Out в меню View – Zoom.

Фиксированный масштаб можно установить, выполнив View-Zoom-Scale (Рис. 1.39).



Рис. 1.39. Установка фиксированного масштаба

Вы можете просмотреть часть или всю страницу схемы сразу. Для страницы схемы Capture использует размеры, заданные на вкладке Page Size в диалоговом окне Shematic Page Properties.

| 🗀 File 🥦 Hierarchu | |
|--|---|
| Design Resources | |
| pr-2.dsn* | |
| SCHEMATIC1* | |
| PAGE PAGE | Schematic Page Properties Page Size Grid Reference Miscellaneous Units Units New Page Size Width Height A 9.700 7.200 inches B 15.200 9.700 inches C 20.200 15.200 inches C 20.200 15.200 inches C 42.200 32.200 inches C Custom 15.200 9.700 inches Custom 15.200 9.700 inches Pin-to-Pin Spacing: 0.100 inches |
| | ОК Отмена Справка |
| | |

Рис. 1.40. Установка размеров страницы

1. Выберем View - Zoom - All. Вся схематическая страница или часть будет уменьшена, чтобы соответствовать окну.

Такой результат можно получить, нажав кнопку Random панели инструментов.

Часть схемы можно увеличить, выполнив View-Zoom-Area, или используя кнопку

Установка закладок

Если вы обнаружите, что вам нужно повторно возвращаться в определенную область страницы схемы или если вам нужно особое внимание к определенному месту, очень удобна закладка. Когда вы устанавливаете закладку, вы присвойте ему имя. Затем вы можете использовать команду Go To, чтобы вернуться в это место, и вы можете использовать название закладки, чтобы направить другого члена вашей команды на это место.

Как поместить закладку:

1. В меню Place выберите команду Bookmark.

2. Введите имя закладки и нажмите «ОК».

3. Поместите указатель там, где вы хотите поместить закладку, и щелкните левой кнопкой мыши. Закладка отображается в цвете выбора.

4. Выберите End mode во всплывающем меню правой кнопки мыши.

5. Щелкните область, где нет частей или объектов, чтобы отменить выбор закладки.

Для перемещение на закладку в меню View > Go To выберите Bookmark, введите имя закладки и нажмите OK (Рис. 1.41).



Рис. 1.41. Установка и переход к закладке

Нелинейный редактор (Fisheye)

Функция Fisheye в Capture позволяет работать с схемами в нелинейном режиме. Два основных режима включают Fisheye focus и режим Dynamic Fisheye View. Fisheye focus позволяет настроить фокус на определенные объекты на вашей схеме. Настройка фокусировки «Fisheye View» на один или несколько объектов на схеме обеспечивают отображение этих объектов в увеличенном виде. Когда это происходит, другие видимые объекты не перемещаются со страницы, а умеьшаются. Это гарантирует, что вы все еще можете просмотреть страницу, но с выбранным фокусом.

Режим Fisheye View зависит от страницы, а не от конкретного дизайна. Кроме того, перемещение в Fisheye View и из него сохранит состояние предыдущего режима. Вы можете использовать все операции масштабирования в дополнение с фокусной особенностью Fisheye View. Все функции Capture доступны в этом режиме.

Функцию поиска Capture можно использовать в сочетании с функцией Fisheye. Нахождение объект на странице выделит объект и установит фокус на

него. Если вы нажмете Shift + F11, то немедленно установите фокус Fisheye для выбранного объекта.

Рыбий глаз - Fisheye

Вы можете использовать режим Fisheye, чтобы масштабировать только определенные объекты на вашей схеме.

Чтобы использовать функции Fisheye Capture, вам нужно переключиться в режим Fisheye.

Чтобы переключиться в режим Fisheye, выполните следующее:

1. Выделите нужный объект.

2. Щелкните правой кнопкой мыши на странице.

3. Выберите пункт меню Fisheye View

4. Затем выберите Set Fisheye Focus или нажмите Shift>F11.

Fisheye focus

Вы можете настроить Fisheye focus на выбранные объекты на вашей схеме, в результате чего только эти объекты будут увеличиваться в то время как остальная часть видимой области остается в поле зрения, но будет уменьшена.

Чтобы настроить фокусировку Fisheye:

1. Выберите один или несколько объектов на странице. (Используйте Ctrl + Click, чтобы выбрать несколько объектов).

2. Щелкните правой кнопкой мыши на странице.

3. Выберите пункт меню Set Fisheye focus или введите с клавиатуры Shift + F11.

| | Connect to B | ····· |
|---------------------|------------------------------------|-------|
| · · · [.] · · · · | User Assigne | |
| 40.00V | Lock | |
| · · · · · · · · · · | UnLock R2 | |
| | SI Analysis | |
| | Add Part(s) T | |
| | Remo <u>v</u> e Part | |
| | Assign Po <u>w</u> e | |
| | Ascend Hiera | |
| | Selection <u>Filt</u> | |
| | Fisheve view | |
| 🗋 🏹 | Set Fisheye Focus Shift+F11 | |
| | Fisheye Dynamic Focus Mode Q | |
| | Reset Fisheye Focus Shift+Ctrl+F11 | |

Рис. 1.42. Установка режима Fisheye focus

Для удаления Fisheye focus:

1. Щелкните правой кнопкой мыши на странице.

2. Выберите пункт меню Reset Fisheye focus или наберите на клавиатуре: Ctrl + Shift + F11

Режим динамического фокуса рыбий глаз

В режиме Fisheye Dynamic Focus (динамический фокус) фокус страницы смещается, когда вы перемещаете указатель мыши на странице. Когда указатель мыши нависает над частью страницы, только эта часть страницы фокусируется. Область фокусировки увеличивается, а остальная часть видимой области теряет относительное увеличение.

Настройка режима динамической фокусировки Fisheye Dynamic Focus:

1. Щелкните правой кнопкой мыши на странице.

2. Выберите режим

2. Выберите пункт меню режима Fisheye Dynamic Focus.

Кратчайший путь: нажать на клавиатуре Q.

Кратчайший путь выхода из режима- набрать на клавиатуре: Ctrl + Shift + F11.



Рис. 1.43. Режим Fisheye Dynamic Focus (динамический фокус)

1.15. Панели инструментов Capture

Пользовательский интерфейс OrCAD Capture включает в себя несколько панелей инструментов, которые предоставляют ярлыки для большинства обычно используемых команд в Capture. Окна включения и настройки панелей можно открыть, выбрав Tools>Toolbar>Customize (рис. 1.44).



Рис. 1.44. Окно настройки панелей

В окне Commands, выделив кнопку, можно прочитать описание ее назначения (рис.1.45). Рекомендуем Вам сделать это для актуальных панелей, чтобы предварительно ознакомиться с возможностями программы OrCAD 17.2.

| Toolbars Comma Categories: Capture | Buttons |
|--|--|
| CIS Explorer Part Manager Pspice FPGA Search Draw SI Analysis Align | |
| Select a categor to any toolbar Description Create a new s | y, then click a button to see its description. Drag the button |

Рис. 1.45. Описание назначения кнопок панелей

Панели инструментов в Capture можно состыковать или сделать плавающими. Это дает гибкость размещения панели инструментов в любом месте на экране. Вы можете разместить плавающую панель даже вне области приложения. Чтобы сделать панель инструментов плавающей, дважды щелкните по области панели инструментов (убедитесь, что вы не нажимаете ни на одну кнопку из панелей инструментов).



Рис. 1.46. Плавающая панель

Для закрепления плавающей панели инструментов у «правого дока» снова дважды щелкните по строке заголовка.

Панель можно сделать скрытой, повернув «булавку» в горизонтальное положение (рис. 1.47).



Рис. 1.47. Создание скрытой панели

Работа с несколькими окнами

В Capture каждый документ, который вы открываете, находится в отдельном окне. Вы можете открыть столько окон, сколько позволяют ресурсы вашего компьютера. Например, если вы хотите работать с тремя страницами схемы или тремя частями, каждый открывается в своем собственном окне. Если вы работаете одновременно с несколькими проектами, каждый из них открывается в своем окне менеджера проекта. Изменения применяются только к текущей выбранной панели инструментов. Все открытые документы - это окна с вкладками. Вы можете щелкнуть правой кнопкой мыши на вкладке, чтобы восстановить, свести к минимуму, максимизировать, сохранить или закрыть окна. Вы также можете щелкнуть правой кнопкой мыши по строке заголовка журнала сеанса и Project Manager, чтобы установить их как прикрепленные, плавающие или дочерние окна.



Рис. 1.48. Каскадное расположение окон

OrCAD Capture предоставляет опции для позиционирования и ориентации разных окон в рабочей области Capture. Это удобная функция, когда вы работаете с несколькими окнами одновременно. Например, вам может потребоваться менеджер проекта, редактор страницы схемы и журнал сеанса. Поэтому, возможно, вы захотите поместить диспетчер проекта слева, редактор схемной страницы справа, а журнал сеанса в нижней части рабочего пространства Сарture. Чтобы вы могли перемещать и упорядочивать рабочую область Сарture, вы можете состыковать окна, установить их как плавающие или как дочерние окна MDI.

Чтобы получить доступ к этим опциям меню, щелкните правой кнопкой мыши строку заголовка в случае менеджера проекта, схемного редактор для страниц, редактора схем и редактора свойств.



Рис. 1.49. Управление окнами

1.16. Поиск в режиме Capture

В Capture вы можете искать конкретный текст комментария на компонент, или вы можете искать пин по имени или по одному из значений его свойств. Используя команду Find и значение свойства компонента, вы можете найти компонент в папке схемы или на схематической странице. На панели инструментов Find вы вводите строку значений свойства и указываете, что хотите найти компонент. Capture ищет все компоненты, чтобы найти те, у которых свойства имеют значение, соответствующее указанному в строке.

Поиск объекта в проекте

1. В диспетчере проектов выберите папки схем или страниц схемы, в которых вы хотите выполнить поиск.

2. В меню Edit выберите команду Find. Появится панель поиска (рис. 1.50). Для указания компонента на схеме выберите Highlight.



Рис. 1.50. Панель поиска

3. В текстовом поле Text to Search введите строку значений свойства для того компонента, который вы ищете. Например, для поиска резистора, введите R1. Вы также можете выполнить поиск компонента по свойству, например, номинальному значению.



Рис. 1.51. Поиск компонента

По завершении поиска и возвращении хотя бы одного результата результат отображается в окне Find. Это окно с закладкой. Каждый результат поиска будет отображаться как одна позиция в окне. В позициях результатов содержатся и другая информации, кроме ссылки на объект поиска, которая включает в себя страницу, схему и свойства специфичные для данного типа объектов.

Если поиск возвращает несколько типов объектов, каждый тип отображается в окне в другой вкладке. Если вы дважды щелкните позицию в этом окне, соответствующий объект будет выбран на конкретной схематической странице.

Это окно можно установить как прикрепляемое или плавающее, дважды щелкнув по строке заголовка. В режиме стыковки, используйте значок булавки, чтобы чередовать окно от закрепленного до плавающего. В отключенном со-

стоянии окно поиска остается пристыкованным, но скользит внутрь и вне поля зрения, когда вы перемещаете курсор над значком окна.

1.17. Диалоговое окно «Настройки» Диалоговое окно настроек изображения в рабочем окне можно открыть,



Рис. 1.52. Окно настроек изображения на рабочем столе

Вкладка Color/Print (Цвета/Версия для печати) позволяет определить цвет по умолчанию таких объектов, как псевдонимы, провода, варианты дизайна, отсутствующие компоненты и контакты. Когда вы нажимаете на цвет элемента, появляется стандартное диалоговое окно стандартных цветов Windows для данного элемента. Флажки рядом с объектами определяют, будут ли объекты напечатаны или построены. Если поле объекта выбрано, объект может быть напечатан. Объекты всегда появляются на вашем экране, независимо от установки их флажков (рис. 1.53). Кнопка Use Defaults сбрасывает цвета в цвета по умолчанию, поставляемые с Capture.

Примечание. В ссылках на границе и сетке страниц схемы используется цвет, указанный для титульных блоков.

| Preferences | Preferences |
|--|--|
| Colors/Print Grid Display Pan and Zoom Select Miscellaneous Text Editor Board Simulation Print Print Print Print Print Print Ø Alias Alias Color Print Print Print Ø Background Ochoensie usera: Print Print Print Ø Bookmark Ochoensie usera: Print Print Print Ø Display Prot Ø Ø Ø Ø Ø Ø Drecharkee Ø Ø Ø Ø Ø Ø Ø Graphics Ø Ø Ø Ø Ø Ø Ø Ø Hierzchica Ø | Colors/Print Grid Display Pan and Zoom Select Miscellaneous Text Editor Board Simulation Visible Schematic Page Grid Visible Displayed Displayed Displayed Displayed Displayed Grid Style Displayed Grid Style Displayed Displayed Grid Style Displayed Displayed Grid Style Displayed Displayed |
| Моге Preferences ОК Отмена Справка | Моге Preferences ОК Отмена Справка |





Вкладка Grid Display (Отображение сетки) позволяет контролировать поведение и внешний вид сетки экрана для редактора схем и редактора деталей (рис. 1.54).

Вкладка Pan and Zoom (Панорамирование и масштабирование) задает параметры автоматической прокрутки и коэффициент масштабирования как для редактора схемных страниц, так и для редактора компонентов (рис. 1.55).

Вкладка Select (Выбор) позволяет задавать параметры выбора, изменять максимальное количество объектов, которые вы можете перетащить, и устанавливает видимость палитры инструментов как для редактора схемных страниц, так и для редактора деталей (рис.1.56).

| Preferences | Preferences X |
|---|--|
| Colors/Print Grid Display Pan and Zoom Select Miscellaneous Text Editor Board Simulation Schematic Page Editor Part and Symbol Editor Zoom Factor: 2 Auto Scroll Percent: 5 | Colors/Print Grid Display Pan and Zoom Select Miscellaneous Text Editor Board Simulation Schematic Page Editor Pat and Symbol Editor Pat and Symbol Editor Area Select Intersecting Intersecting Intersecting Fully Enclosed |
| More Preferences OK Отмена Справка | Махітит number of objects to display at high resolution while draonino. 10 Maximum number of objects to display at high resolution while draonino. 10 More Preferences 0K Отмена Справка |

Рис. 1.55. Панорамирование и масштабирование

Рис.1.56. Вкладка Select

На вкладке Miscellaneous (Разное) можно указать стиль заполнения, стиль линии и ширину линии для редактора схем и редактора деталей. Также можно указать цвет линии для редактора схемных страниц, определить шрифт журнала сеанса, задать набор текста, задать интервалы автоматического восстановления и включить обмен данными между устройствами (рис. 1.57).

| Preferences | X | Preferences | X |
|---|--|---|--|
| Colors/Print Grid Display Pan and Zoom So Schematic Page Editor None Image: Color Image: Color Line Style: Image: Color Image: Color Image: Color Junction Dot Size: Small Image: Color Image: Color Part and Symbol Editor Fill Style: None Image: Color Part and Symbol Editor Fill Style: Image: Color Image: Color Part and Symbol Editor Fill Style: Image: Color Image: Color Part and Symbol Editor Fill Style: Image: Color Image: Color Fort: Style: Image: Color Image: Color Image: Color Session Log Font: Arial 11 Image: Color Image: Color Docking Flace Find Image: Color Image: Color Place Part Image: Color Find Image: Color Image: Color Place Part Image: Color Refresh part on selection Image: Color Image: Color | elect. Miscellaneous Text Editor Board Simulation Text Rendering Render True Type fonts with strokes Fill text Auto Recovery Enable Auto Recovery Inituities Auto Reference Automatically reference placed parts Design Level(Only PCB designs) Preserve reference on copy Intertool Communication Wire Drag Intertool Component move with connectivity changes IREF Display Property IREF Display Property Isobal Visbility | Colors/Print Grid Display Pan and Zoom Select Miscellaneou Syntax Highlighting Current Font Set Keywords Font: Current Font Set Comments Quoted Strings Style: Regular Identifiers Identifiers Show line n Tab Setting: 4 spaces I Auto reload Highlight Keywords, Comments, and Quoted Strings I Save text fil Reset | s Text Editor Board Simulation ing New Set umbers es on deactivate text files es before running tools |
| More Preferences | ОК Отмена Справка | More Preferences OK | Отмена Справка |





На вкладке «Текстовый редактор» (рис. 1.58) укажите шрифт и информацию о цвете для текстового редактора. Также укажите настройку вкладок с точки зрения интервала между символами и выделения параметров.

На вкладке Board Simulation «Моделирование платы» укажите язык разработки аппаратного обеспечения, который будет использоваться во время моделирования на уровне платы.

1.18. Справочная документация OrCAD

Выбрав в главном меню Help>Documentation, вы откроете окна с Webресурсами Cadence, которые всегда помогут Вам найти решение возникающих проблем (рис. 1.59).



Рис. 1.59. Web-ресурсы Cadence

Мы будем обращаться к этим ресурсам при необходимости.

58

Теперь начинаем более подробное изучение возможностей OrCAD 17.2 для анализа электрических цепей и электронных схем.

1.19. Контрольные вопросы

1. Что такое Spice – модели электронных компонентов ?

2. Структура и состав пакета программ OrCAD 17.2 Lite.

3. Состав и назначение программ OrCAD PSpice.

4. Перечислите основные ограничения учебных программ OrCAD 17.2 Lite.

5. Назовите основные этапы моделирования в OrCAD.

6. Какие стандартные библиотеки используют при моделировании в Or-CAD и где они расположена ?

7. Приведите примеры современных электронных устройств, которые можно спроектировать в OrCAD.

8. Перечислите последовательность действий при создании проекта в Or-CAD.

9. Что включает в себя менеджер проекта и как с ним работать ?

10. В чем разница между понятиями a part и a symbol ?

11. Расскажите о создании схем в Capture Lite.

12. Как создают профиль моделирования и как можно переключать профили ?

13. Как наблюдать результаты моделирования цепи постоянного тока?

14. Для чего служит окно Probe ?

15. Что содержат выходные файлы в окне Probe и в менеджере проектов?

16. Как можно использовать редакторы схем и компонентов в Capture ?

17. Для чего служит нелинейные редактор Fisheye ?

18. Как выполнить включение и настройку панелей инструментов и окон в Capture?

19. Как выполняют поиск в режиме Capture?

20. Как можно использовать диалоговое окно настроек изображения ?

Глава 2. Анализ электрических цепей постоянного тока 2.1. Краткие теоретические сведения 2.1.1. Элементы, структура и основные законы электрических цепей

Идеальные пассивные элементы

Это резистор R [Ом], индуктивность L [Гн], емкость С [Ф].



Понятие «постоянное напряжение (ток)» означает, что во времени значение и направление напряжения (тока) не меняются. Можно сказать, что частота изменения постоянного напряжения (тока) $\omega = 0$.

На постоянном токе i=I=const получим di/dt=0. Следовательно, напряжение на индуктивности равно нулю и индуктивность для постоянного тока является коротким замыканием.

Для емкости на постоянном токе du/dt=0. Следовательно, ток через емкость равен нулю и емкость на постоянном токе эквивалентна разрыву.

Линейные пассивные элементы имеют линейные зависимости между током и напряжением (или их производными для индуктивности и емкости). Для этого значения R, L, C не должны зависеть от токов и напряжений на этих элементах.

Идеальные активные элементы (источники энергии)

Идеальный источник E напряжения имеет нулевое внутреннее сопротивление ($R_{\rm uh}=0$) и напряжение на его зажимах не зависит от тока, который он отдает во внешнюю цепь.

Идеальный источник тока *J* имеет бесконечно большое внутреннее сопротивление ($R_{\rm ur}=\infty$) и ток, который он отдает во внешнюю цепь, не зависит от напряжения на зажимах источника тока.



Реальные активные элементы имеют конечные внутренние сопротивления (Рис. 2.1).



Рис.2.1. Замена источника напряжения и источника тока

Источник напряжения с последовательным внутренним сопротивлением можно заменить на эквивалентный источник тока с параллельным внутренним сопротивлением при условии, что:

$$R_{uH} = R_{um} = R_{\theta H}, E = J \cdot R_{\theta H}, J = \frac{E}{R_{\theta H}}$$

Линейные источники энергии имеют линейные вольтамперные характеристики. Вольтамперной характеристикой электрической цепи называют зависимость тока, проходящего через элемент от напряжения на его зажимах.

Электрическая цепь постоянного тока является линейной, если все элементы цепи имеют линейные вольтамперные характеристики.

На рис. 2.2 показана схема линейной электрической цепи постоянного то-ка.



Рис. 2.2. Схема линейной цепи постоянного тока

Структура электрической цепи определяется взаимным расположением ветвей, узлов и контуров. Ветвь это участок цепи, через который проходит один и тот же ток. Узел – место соединения трех и более ветвей. Контур – замкнутый путь, последовательность ветвей и узлов, в которой каждая ветвь и каждый узел входит один раз. В схеме рис. 2.2. мы видим 6 ветвей (не считая разомкнутой емкости), 4 узла и 3 контура. Один из узлов (например, f) заземляют и считают общим.

2.1.2. Основные законы электрических цепей

Обобщенный закон Ома для участка цепи, содержащего источник напряжения:

Ток в ветви равен напряжению на зажимах ветви, взятому по направлению тока, плюс (минус) источники напряжения, деленному на сумму сопротивлений ветви.

Ток в первой ветви $I_1 = \frac{U_{fb} + E_1}{R_{uh} + R_1}$. Знак плюс берут для источников

напряжения, совпадающих по направлению с током.

Первый закон Кирхгофа:

Сумма токов, сходящихся в узле, равна нулю (или сумма входящих в узел токов равна сумме выходящих токов).

Для узла \boldsymbol{b} : $I_1 = I_4 + I_5$.

Второй закон Кирхгофа:

В замкнутом контуре алгебраическая сумма падений напряжений на пассивных элементах равна алгебраической сумме источников напряжения. При этом со знаком плюс берут падения напряжения на тех пассивных элементах, в которых токи совпадают с направлением обхода контура. Со знаком плюс берут источники напряжения, совпадающие по направлению с направлением обхода контура.

2.1.3. Расчет цепи методом контурных токов (МКТ)

Рассчитать контурные токи в цепи (рис. 2.1).

Независимые контуры и контурные токи I_{11} , I_{22} , I_{33} обозначены на схеме (рис. 2.2).

Записываем канонические уравнения по методу МКТ для трехконтурной схемы :

$$\begin{pmatrix} I_{11} \\ I_{22} \\ I_{33} \end{pmatrix} = \begin{pmatrix} R_{11} & R_{12} & R_{13} \\ R_{21} & R_{22} & R_{23} \\ R_{31} & R_{32} & R_{33} \end{pmatrix}^{-1} \cdot \begin{pmatrix} E_{11} \\ E_{22} \\ E_{33} \end{pmatrix}$$

Диагональные сопротивления контурной матрицы сопротивлений с одинаковыми индексами находим как сумму всех сопротивлений контура при последовательном обходе. Недиагональные сопротивления с разными индексами равны сопротивлениям смежных ветвей контуров, причем со знаком плюс берут те сопротивления смежных ветвей, в которых контурные токи направлены одинаково. Контурные ЭДС равны алгебраической сумме всех ЭДС контура. Со знаком плюс берут ЭДС, совпадающие по направлению с обходом контура.

2.2. Расчетное задание №2.1.

Схема электрической цепи изображена на рис. 2.3. Найти токи во всех ветвях и напряжения $U_{\rm bd}$ и $U_{\rm cd}$.

Рекомендации:

1. Замените источник тока на источник напряжения.

2. Параллельно включенные сопротивления R_3 и R_4 замените эквивалентным.

3. В полученной одноконтурной цепи по второму закону Кирхгофа рассчитайте ток I_2 .

4. Вычислите напряжения *U*_{cd} и *U*_{bd} по закону Ома.

5. Вычислите токи *I*₃ и *I*₄ по закону Ома.

6. По первому закону Кирхгофа вычислите ток I_1 .

7. Запишите численные ответы для токов и напряжений.



Рис. 2.3. Схема к заданию №1

2.3. Компьютерное моделирование задания №2.1

Создайте новый проект PR-2, пользуясь указаниями из §1.8. Источники постоянного тока и напряжения установите из каталога Place > PSpice Components.

Резисторы будем выбирать как компоненты, выполнив Place > Part.



Рис. 2.4. Поиск компенента на панели Place Part

OrCAD Capture CIS имеет очень много библиотек и поиск нужного компонента часто проходит достаточно трудно..

Поиск резистора можно выполнить в следующим образом (рис. 2.4):

1. В окне Search For вводим R .

2. Нажимаем «Поиск».

3. В окне Libraries появляется название библиотеки Discrete.olb, в которой есть этот компонент.

4. Нажимаем Add

5. Библиотека добавлена в список просмотра.

6. Находим в списке компонентов этой библиотеки резистор R2.

7. Добавляем библиотеку Discrete.olb в проект.

8. Открывается каталог всех библиотек.

Мы, к сожалению, видим, что библиотека Discrete.olb находится в папке LIBRARY из каталога CAPTURE и расположена выше папки библиотек pspice.

Может оказаться так, что компонент R2 не имеет модели PSpice и моделирование с ним в PSpise невозможно.

Поэтому целесообразно сначала поискать нужные для схемы компоненты именно в библиотеке pspice.

Для этого:

1. Нажимаем Add Library.

2. В каталоге pspice выбираем analog

3. Выделяем ANALOG в окне просмотра библиотек и выделяем R в списке компонентов.

4. В каталоге библиотек нажимаем «Открыть» и добавляем библиотеку analog в проект.

5. Нажимаем Place Part и помещаем резистор в окно схемного редактора (рис. 2.5).

| | | | | Place Part | ⊿ ∗ 5 |
|-----------------|------------------------------------|------------------|--------|------------------|-------------------|
| Browse File | | | x | <u>P</u> art | |
| biotise file | | | | R | N |
| Nan <u>k</u> a: | pspice | - G 👂 📂 🖽- | | Part List: | Y |
| æ | Имя | Дата изменения | Тип 🔺 | | 1 2 |
| | 🖻 abm | 01.05.2016 20:28 | Файл' | OPAMP | 3 |
| Недавние | 🖬 ad_reg | 01.05.2016 20:28 | Файл ' | R_45DEG | |
| Mecra | 🔟 adv_lin | 01.05.2016 20:27 | Файл' | R_var S | |
| | 🖪 ana_swit | 01.05.2016 20:27 | Файл' | S_ST | - |
| Рабоций стол | analog 2 | 10.06.2016 15:55 | Файл' | Libraries: | 1 |
| | analog_p | 01.05.2016 20:27 | Файл' | | |
| | I anl_misc | 01.05.2016 20:56 | Файл' | | |
| | anlg_dev | 01.05.2016 20:56 | Файл | BATTERY | |
| Библиотеки | | 01.05.2016 20:56 | Файл | BREAKOUT | |
| | | 26.04.2016 20:37 | Файл | Design Cache | + |
| | a battery | 20.04.2010 7.17 | Файл 👳 | |] Packaging |
| | | | | | Parts per Pkg: 1 |
| Компьютер | <u>И</u> мя файла: | ▼ _ 0 | ткрыть | R? | Part: |
| | Тип файлов: Capture Library(*.olb) | | | III <u>~</u> ^^/ | Tuper Hemogeneous |
| | Полько итение | | | 1k | Type. Homogeneous |
| | | | | | 纓 எ |
| | · · · · · | | 1 | | |
| | | | 4 | | |

Рис. 2.5. Выбор резистора из каталога PSpice

Источники постоянного тока и постоянного напряжения выберите из каталога Place > PSpice Components > Sources.

Выбирите из библиотеки Capsym «Землю с нулем», разместите кломпоненты в соответсвии со схемой, проводите соединения.

Установите номиналы резисторов и источников, использую меню Edit Properties. Должна получится схема (рис. 2.6)



Рис. 2.6. Схема разветвленной цепи постоянного тока

Используя указания из §1.12, установите профиль моделирования для постоянного тока Bias Point и выполните нужные настройки профиля.

После этого сохраните файл проекта и выполните Run PSpice. На рис. 2.7 показаны ожидаемые результаты моделирования.



Рис. 2.7. Результаты моделирования схемы

Проверьте соответствие моделирования и результатов расчета. На рис. 2.8. показан фрагмент выходного файла из окна Probe.

NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE 6.0000 (N03630) 18.0000 (N03634) (N03623) 6.0000 VOLTAGE SOURCE CURRENTS NAME CURRENT V V1 -3.000E+00 TOTAL POWER DISSIPATION 3.60E+01 WATTS JOB CONCLUDED **** 02/05/18 11:53:36 ******* PSpice Lite (March 2016) ******* ID# 10813 **** ** Profile: "SCHEMATIC1-PR-2" [c:\pr-2\pr-2-pspicefiles\schematic1\pr-2.sim] JOB STATISTICS SUMMARY

Рис. 2.8. Фрагмент выходного файла

2.4. Делитель напряжения

В исследованной схеме напряжение в узле $B U_b=18B$, а напряжение в узле $C U_c=6B$. Сопротивления R2, R3, R4 образуют *делитель напряжения*. Парал-

лельное соединение сопротивлений R3 и R4 обозначим R3||R4= $\frac{3 \cdot 6}{9} = 2$ Ом. Напряжение в узле *C* находим по формуле:

$$U_c = U_b \frac{R_3 // R_4}{R_2 + R_3 // R_4} = 18 \frac{2}{4+2} = 6B.$$

Так на резисторах можно получить часть входного напряжения. Эти расчеты совпадают с результатами моделирования (рис. 2.7).

2.5. Делитель токов

К узлу *C* из резистора R_2 подходит ток $I_2=3$ А и делится на ток I_3 и I_4 пропорционально проводимостям третьей и четвертой ветвей. Ток I_4 можно рассчитать по формуле:

$$I_4 = I_2 \frac{G_4}{G_3 + G_4} = I_2 \frac{R_3}{R_3 + R_4} = 3\frac{3}{3+6} = 1A.$$

Расчеты совадают с моделированием (рис. 2.7).

2.6. Метод эквивалентного генератора.

Если в схеме рис. 2.3 требуется найти ток только в одной ветви, например, ток I_2 в ветви *bc*, то такой расчет проще сделать *методом* эквивалентного генератора. Для этого отключим временно резистор R_2 и найдем напряжение холостого хода U_{bcxx} между точками *bc*. Затем найдем входное сопротивление $R_{bcвx}$ схемы относительно точек *bc*. Заменим цепь с нагрузкой R_2 эквивалентным генератором (рис. 2.9), в котором $E_{экв} = U_{bcxx}$, $R_{экв} = R_{bcвx}$.

Можно доказать, что в нагрузке R_2 будет выделяться наибольшая активная мощность, если выполняется условие согласования нагрузки с генератором, а именно: $R_{\mu} = R_2 = R_{3\kappa B}$. При этом максимальная мощность в нагрузке будет

равна: $P_{max} = \frac{E_{_{\mathcal{H}\mathcal{K}\mathcal{B}}}^2}{4R_{_{\mathcal{H}\mathcal{K}\mathcal{B}}}}.$



Рис. 2.9. Схема эквивалентного генератора

2.6.1. Расчетное задание №2.2

В схеме рис.2.3 айти ток нагрузки *I*₂ и мощность в нагрузке методом эквивалентного генератора.

Рекомендации:

1. В режиме холостого хода ток в схеме рис. 2.3 будет проходить только в источнике тока и резисторе R_1 . Напряжение холостого хода найдем по формуле: $U_{bcxx} = U_{abxx} + E = JR_1 + E$.

2. При расчете входного сопротивления R_{bcbx} источник тока эквивалентен разрыву, а источник напряжения эквивалентен короткому замыканию.

2.6.2. Компьютерное моделирование задания №2.2

Найдем сначала напряжение холостого хода U_{bcxx} . Для этого надо отключить резистор R_2 . Однако, ключи в библиотеке символов управляются по времени и недостаточно удобны. Поэтому сделаем R_2 очень большим- 4 Гом. Результаты моделирования (рис. 2.10) показывают, что U_{bcxx} =36В -18нВ \approx 36В.



Рис. 2.10. Моделирование в режиме холостого хода

Найдем ток короткого замыкания. Сделаем R_2 очень малым (R_2 =4мОм). Ток Ікз =4,498 А \approx 5А (рис. 2.11).



Рис. 2.11. Измерение тока короткого замыкания

Находим сопротивление эквивалентного генератора: входное сопротивление цепи относительно зажимов bc:

$$R_{_{3KB}} = R_{exbc} = 36/4, 5 = 8OM$$

Итак, мы нашли $E_{_{3KB}} = U_{bcxx} = 36B$, $R_{exbc} = 8OM$. Получаем ток $I_2 = E_{_{3KB}} / (R_{exbc} + R_2) = 36/12 = 3A$.

2.6.3. Баланс мощности

Для проверки правильности расчетов часто выполняют расчёт баланса мощности. На рис. 2.12 показано измерение мощности в исходной цепи.



Рис. 2.12. Измерение мощности

Источник напряжение и тока в мсходной схеме отдают мощность резисторам и в модели PSpice мы получили отрицательные значения мощности источников. Мощности, выделяемые в резисторах, всегда положительные.

Для модели PSpice баланс мощностей можно записать так:

 $P_{I1} + P_{V1} + P_{R1} + P_{R2} + P_{R3} + P_{R4} = -24 - 36 + 6 + 36 + 12 + 6 = 0.$

Отметим, что в отечественных учебниках по электротехнике мощности, отдаваемые источниками энергии, считаются положительными. Поэтому для нас привычной является такая запись баланса мощности:

$$P_{I1} + P_{V1} = P_{R1} + P_{R2} + P_{R3} + P_{R4}$$

2.7. Согласование нагрузки с генератором. Развертка параметров.

Из курса электротехники известно, что максимальная мощность выделяется в оптимальной нагрузке, равной по величине эквивалентному сопротивлению генератора: $R_{onm} = R_{_{ЭК6}}$. Проверим это моделированием.

Для этого надо получить график зависимости мощности в резисторе R₂ при изменении значения этого резистора в достаточно широких пределах. Такое изменение параметров называют параметрическая развертка.

Параметрическая развёртка позволяет менять значения параметра в заданном диапазоне значений и может быть выполнена при запуске переходного процесса, анализа переменного или постоянного режима.

Параметры, которые могут быть изменены, включают источники напряжения или тока, температуры, глобальные параметры или параметры модели. Глобальный параметр может представлять собой математическое выражение, а также переменную и определяется с помощью объекта PARAM из специальной библиотеки.

Задание 2.3. Найти максимальную мощность в нагрузке R₂ цепи постоянного тока, показанной на схеме рис. 2.3.

Схема модели показана на рис. 2.13. В схеме резисторы выбраны из библиотеки Part. Нагрузкой служит резистор R2, значение которого мы будем менять, чтобы найти максимальную мощность.



Рис. 2.13. Поиск оптимальной нагрузки

2.7.1. Параметрический анализ мощности при изменении значения резистора

1. Выделяем на схеме значение резистора R2 и в редакторе свойств заменяем это значение на {RES} в фигурных скобках (рис. 2.14).

2. Выполняем Place>Part и Add Library. В каталоге библиотек pspice выделяем special и нажимаем «Открыть».

3. В меню библиотеки SPECIAL выбираем PARAM (рис. 2.15).



Рис. 2.14. Установка переменной {RES}
| Browse File | | | | × | Place Part | |
|-----------------|---------------------|------------------------|------------------|---------|---------------|-------------------|
| Пап <u>к</u> а: | J pspice | | - G 🜶 📂 🖽- | | Part PARAM | |
| (Arm) | Имя | * | Дата изменения | Тип 🔺 | Part List: | Y |
| | 🖪 pwrbjt | | 01.05.2016 21:34 | Файл ' | | * |
| Недавние | 🖻 pwrmos | | 10.06.2016 16:56 | Файл ' | NODESET1 | |
| Meera | 🖻 schottky | | 01.05.2016 21:17 | Файл ' | NODESET2 | E |
| | 🖻 Shindngn | | 26.04.2016 5:54 | Файл' | PRINTI | |
| Dafauuŭ cran | SILICONIX | | 01.05.2016 21:17 | Файл' | PRINTDGTLCHG | - |
| Рабочий стол | 🖻 source | | 26.04.2016 5:53 | Файл' | | |
| | Beeurschm | | 26.04.2016 5:53 | Файл ' | Libraries: | C m X |
| | 🖪 special | | 26.04.2016 5:53 | Файл ' | EVAL | |
| Библиотеки | special_pur | pose_ics | 26.04.2016 8:30 | Файл' | MECHANICAL | |
| Difference | 🖻 ssr | | 26.04.2016 5:54 | Файл '— | SOURCE | |
| | st_opamp | | 26.04.2016 5:54 | Файл' 🚽 | SPECIAL | |
| | • | | | P. | 3WH_hAV | • |
| Компьютер | Имя файла: | special | | Открыть | | Packaging |
| | - | | | | | Parts per Pkg: 1 |
| | <u>Т</u> ип файлов: | Capture Library(*.olb) | ▼ | Отмена | | Part: 🗸 🗸 |
| | | Только <u>ч</u> тение | | | PARAMETERS: | Type: Homogeneous |
| | | | | | | |

Рис. 2.15. Добавление библиотеки Special

3. Нажимаем Place Part и добавляем компонент PARAM в схему (рис. 2.16).



Рис. 2.16. Ввод в схему компонента PARAM

4. Дважды щёлкнем на PARAM и в редактире свойств выбираем New Properties. В новом окне свойств вводим RES без фигурных скобок и номинальное значение резистора 4. Кнопкой Pivot можно поменять в таблице свойств столбцы на строки, если понадобится (рис. 2.17).

| | Α | Add New Wroperty | | | | |
|-----------------------|----------------------|--|--|--|--|--|
| • | + SCHEMATIC1 : PAGE1 | | | | | |
| Color | Default | Name: | | | | |
| Designator | | | | | | |
| Graphic | PARAM.Normal | HES I | | | | |
| ID | | Value: | | | | |
| Implementation | | Volue. | | | | |
| Implementation Path | | | | | | |
| Implementation Type | PSpice Model | | | | | |
| Location X-Coordinate | 430 | Display (UN/UFF) | | | | |
| Location Y-Coordinate | 80 | Enter a name and click Apply or OK to add a column/row to the | | | | |
| Name | INS5766 | property editor and optionally the current filter (but not the <current< td=""></current<> | | | | |
| Part Reference | 1 | properties> filter). | | | | |
| PCB Footprint | | N a second in a will be added to calculate disking to write a contra | | | | |
| Power Pins Visible | | No properties will be added to selected objects until you enter a value here or in the newly created cells in the property editor spreadsheet | | | | |
| Primitive | DEFAULT | nore of infine newly created constinuite property callor spreadsheet. | | | | |
| PSpiceOnly | TRUE | Always show this column/row in this filter | | | | |
| Reference | 1 | | | | | |
| RES | 4 | Apply OK Cancel Help | | | | |
| Source Library | C:\CADENCE\SPB_17.2 | | | | | |
| Source Package | PARAM | | | | | |
| Source Part | PARAM Normal | | | | | |
| Value | | | | | | |

Рис. 2.17. Установка новых свойств резистора RES

5. Выделяем строку RES, правой кнопкой мыши открываем меню и выбираем Display. Проверяем правильность установок (рис. 2.18). Нажимаем OK.

6. В главном меню нажимаем Apply, чтобы сохранить установки и закрываем редактор свойств.

| | Α | | Display Pro | perties | | × | | |
|-----------------------|-------------|------------|-------------|--------------------|------------|----------------|--|--|
| | + SCHEMATI | C1 : PAGE1 | | perces | | | | |
| Color | Default | | Nome: PE | c | Font | Font | | |
| Designator | | | Name. ne. | 5 | Arial 7 | | | |
| Graphic | PARAM.N | lormal | Value: 🚺 | | | | | |
| ID | | | | | Chang | je Use Default | | |
| Implementation | | | Display F | ormat | | | | |
| Implementation Path | | | | lat Direlan | - Color - | | | |
| Implementation Type | PSpice N | lodel | O Dor | vot Display | Default | | | |
| Location X-Coordinate | 430 | | 💿 Valu | ie Only | Derdak | • | | |
| Location Y-Coordinate | 80 | | 💿 Nam | ne and Value | - Rotatio | n | | |
| Name | INS57 | 66 | 66 🔊 🔊 Nam | | | ○ 100% | | |
| Part Reference | 1 | | Both | if Valua Eviete | 0 0 | 0 180 | | |
| PCB Footprint | | | 0 Dou | nii Value Evista |) 90 () | J* () 270* | | |
| Power Pins Visible | | | Valu | ie ir value Exists | Tout lu | atification. | | |
| Primitive | DEFAU | LT | | | | suncauon | | |
| PSpiceOnly | TRUI | | | | Default | - | | |
| Reference | 1 | | | | | | | |
| RES | 4 | | | | | | | |
| Source Library | C:\CADENCE\ | Filters | • | ОК | Cancel | Help | | |
| Source Package | PAR. | Cast Asso | a d'a a | | | | | |
| Source Part | PARAM.I | Soft Asce | ending | | | | | |
| Value | PAR | Sort Desc | ending | | | | | |
| | | Pivot | | | | | | |
| | | Edit | | | | | | |
| | | Delete Pro | operty | | | | | |
| | | Display | > | | | | | |

Рис. 2.18. Проверка установок

Добавляем в схему маркер для измерения мощности в резисторе R2. При правильных установках схема будет иметь вид, показанный на рис. 2.16.

7. Устанавливаем профиль моделирования PARAM1. Выбираем DC Sweep, Primery Sweep, Global parameter = RES, развертка линейная. Устанавливаем начальное и конечное значение параметра, инкремент (рис. 2.19).

| Options: Primary Sweep Secondary Sweep Monte Carlo/Worst Case Parametric Sweep Temperature (Sweep) Save Bias Point Load Bias Point | Current source Model type: Global parameter Model name: Model parameter Parameter name: Temperature RES Sweep Type Start Value: Linear End Value: Logarithmic Decade Value List 100m |
|---|--|
|---|--|

Рис. 2.19. Установка профиля моделирования с разверткой 8. Выполняем моделирование и получаем график мощности (рис. 2.20).



В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

Рис. 2.20. График мощности при изменении R2

Выделив график, можно открыть выпадающее меню и сделать дополнительные установки. Можно изменить цвет, пунктир, толщину линии, задать символы. Мы выбрали Trace Properties и установили малиновый цвет и толщину графика.

Начиная с версии 16.3, вы можете выполнить основные установки окна Probe, изменить цвета курсоров и их толщину, цвета заднего и переднего плана, а также оси и линии сетки, цвет фона и зонда. Для этого в окне Probe выберите Tools> Options как показано на рисунке 2.21.

| Probe Settings | × | Probe Settings | | | |
|---|--|---|--|--|--|
| General Large Data File Cursor Settings Color Settings | Font Settings | General Large Data File Cursor Settings Color Settings Font Settings | | | |
| Use Symbols Properties Never Always Use ScrollBars Auto Never Auto Number of Histogram Divisions 1 Default Trace Width | Mark Data Points Display Evaluation Display Statistics Highlight Error States | Cursor 1 Vertical Width Horizontal Width Color 5 Number of cursor digits Show cursor window when cursor is off Show non-dockable(old) cursor window | | | |
| OK Отмена Reset Probe Settings Vorbe Settings General Large Data File Cursor Settings Font Settings | | | | | |
| Background | ✓ Foreground | | | | |
| Trace Colors Ordering Trace Colors Avail Up Down Remove <<<< Add | able Colors | Шрифт: Начертание: Размер: ФТВ: Обычный 10 ОК Аrial Rounded MT Arial Rounded MT Arial Unicode MS Baskerville Old Face Видоизменение Зачеркнутый Подчеркнутый Швет: Травяной ч Мабор символов: Кириллица ч | | | |
| ОК Отмена | Reset | | | | |

Рис. 2.21. Установка различных параметров окна Probe

2.7.2. Использование курсоров

Выбираем Trace-Cursor-Display и в меню курсоров выбираем Cursor Pic или Cursor Max. Курсор автоматически установиться на максимуме графика (рис. 2.22).



Рис. 2.22. Поиск максимума курсорами

Численная информация о положении курсоров находится в нижнем правом окне Probe. Мы видим, что макимальная млщность 40,500 Вт достигается при значении R2=8 Ом, что соответствует сопротивление эквивалентного генератора.

| L | ¥. | | | | | | | | | | |
|---|----|------------|--------|--------|----------|------------------|------------------|----------|--------|--------|---|
| L | 픢 | | | | | | | | | | |
| L | _ | | | | | | | | | | |
| l | | Trace Name | Y1 | Y2 | Y1 - Y2 | Y1(Cursor1) | - Y2(Cursor2) | 438.903u | | | |
| l | | X Values | 8.0000 | 7.9726 | 27.397m | Y1 - Y1(Cursor1) | Y2 - Y2(Cursor2) | Max Y | Min Y | Avg Y | |
| | | W(R5) | 40.500 | 40.500 | 438.903u | 0.000 | 0.000 | 40.500 | 40.500 | 40.500 | |
| Ш | | | | | | | | | | | 1 |

Рис. 2.23. Числовые данные курсоров

Ранее мы нашли напряжение холостого хода $U_{cbxx} = E_{_{3KB}} = 36B$. Расчет максимальной мощности дает:

$$P_{max} = \frac{E_{_{3KB}}^2}{4R_{_{3KB}}} = \frac{36^2}{4\cdot 8} = 40,5B.$$

Выбрав значок указателя, можно произвольно перемещать курсор (рис. 2.24).



Рис. 2.24. Перемещение курсора

2.7.3. Развертка двух параметров

Получим графики мощности при изменении R2 для нескольких значений напряжения V1. Для этого в профиле моделирования введем вторую развертку Secondary Sweep для источника напряжения V1 и установим диапазон изменения напряжения от 8 до 16 В с шагом 2 В (рис. 2.25).

| Analysis Conligu | auon Files Options Da | ata Collection Frobe v | VIIIdow | |
|----------------------------|-----------------------|------------------------|-------------|----|
| Analysis Type: DC Sween | Sweep variable | | |] |
| | voltage source | Name: | V1 | |
| Options: | Ourrent source | Model type: | | Ψ. |
| Primary Sweep | Global parameter | Model name: | | |
| Secondary Sweep | Model parameter | Parameter name: | | |
| Monte Carlo/Worst Case | Temperature | | | |
| Parametric Sweep | Sweep Туре ———— | | | |
| Temperature (Sweep) | | s | tart Value: | 8 |
| Save Bias Point | Linear | E | nd Value: | 16 |
| Load Bias Point | Logarithmic Deci | ade 👻 In | crement: | 2 |
| | ⊙ Value List | | | |
| | | | | |
| | | | | |

Рис. 2.25. Установка двух разверток

Выполняем моделирование и получаем семейство графиков мощности для всех напряжений (рис. 2.26).





Для разметки графиков выбираем Plot>Label>Text, устанавливаем нужный шрифт, вводим текст (рис. 2.27) и размечаем графики.

| Plot Tools Window Help 🖷 | Шрифт | | × |
|---|---|---|---|
| Axis Settings Add Y Axis Ctrl+Y Delete Y Axis Ctrl+Shift+Y Add Plot to Window Delete Plot Unsynchronize X Axis Image: Text Digital Size Image: Text | Шрифт: Arial Arial Arial Arial Rounded MT Arial Unicode MS Baskerville Old Face | Начертание: обычный Обычный полууплотненны полууплотненны полужирный полужирный | Размер: 14 ОК 10 ОК 11 ОТмена 14 ОК |
| Label Pr-line AC Arrow PDC Box ⊥ransient Circle | Видоизменение Зачеркнутый Подчеркнутый Цвет: | Образец АаВЬБбо | Þф |
| Add/Modify Label Text | | Набор символов: Кириллица | • |
| | | | |



2.8. Выходные характеристики биполярного транзистора

Создадим проект PR-3 для получения выходных характеристик биполярного транзистора в схеме включения с общим эмиттером. Как и ранее выбираем тип проекта PSpice Analog or Mixed A/D и базовый проект simple.opj.

Затем поступаем так:

1. Из библиотеки Pspice>advans>bjn (рис. 2.28) выбираем транзистор n-pn транзистор 2N2102 и помещаем на рабочее поле.

| Browse File | - | | | × |
|-----------------|-----------|-----------|------------------|----------|
| Nan <u>k</u> a: | advanls | • | G 🤌 📂 🖽 - | |
| (Pa) | Имя | * | Дата изменения | Тип 🔺 |
| 2 | 國 aa_igbt | | 16.12.2015 21:43 | Файл ' |
| Недавние | 🖻 aa_misc | | 17.08.2009 17:41 | Файл ' ≡ |
| Mecia | 🖻 asw | | 16.12.2015 21:45 | Файл ' |
| | 📑 bjn 🔿 | | 16.12.2015 22:01 | Файл ' |
| De Court anno 1 | 🖻 bjnd | | 16.12.2015 22:02 | Файл ' |
| Рабочии стол | 國 bjp | | 16.12.2015 22:12 | Файл ' |
| | 🖻 bjpd | Тип: Фай | іл "OLB" | айл ' |
| <u></u> | 🖪 buf | Размер: 1 | 136 KE | Јайл' |



2. В менеджере проекта добавляем в библиотеки файл bjn (Рис. 2.29).



Рис. 2.29. Добавление библиотеки биполярных транзисторов в проект

3. Собираем схему (рис. 2.30) и устанавливаем маркер тока. Для этого в схеме надо сделать **pin** (короткий вывод) на коллекторе. Маркер надо соединить с выводом коллектора транзистора.



Рис. 2.30. Схема измерения вольтамперных характеристик

4. Создаем профиль моделирования VAX1. Устанавливаем первичную развёртку по напряжению на коллекторе V1 от 0 до 100 В с шагом 1В (рис. 2.31).

| · · · · · · · · · · · · · · · · · · · | auon Files Options Data Collection Probe window |
|--|--|
| Analysis Type: | Sweep Variable |
| DC Sweep 👻 | Voltage source Name: V1 |
| Options: | O Current source Model type: |
| Primary Sweep | Global parameter Model name: |
| Secondary Sweep | OModel parameter Parameter name: |
| Monte Carlo/Worst Case | ─ Temperature |
| Parametric Sweep | Sweep Type |
| Temperature (Sweep) | Start Value: 0 |
| Save Bias Point | End Value: 100 |
| Load Bias Point | OLogarithmic Decade 👻 Increment: 1 |
| | OValue List |
| | |
| | |
| Save Bias Point Load Bias Point | Logarithmic Decade Increment: 1 Value List |

Рис. 2.31. Установка первичной развертки по напряжению коллектора

5. Устанавливаем вторичную развёртку по току базы I1 от 50 мкА до 200 мкА с шагом 50 мкА и устанавливаем в менеджере проектов активный профиль моделирования VAX1 (рис. 2.32).

| General Analys | is Configuration Files | Options | Data Collection | Probe Window | | |
|--|--|---|--|-----------------------------------|----------------------------|--------------|
| Analysis Type: DC Sweep Options: Primary Sweep Secondary Swe Monte Carlo/Wo | Sweep Vol Cur Glo Cur Cur Cur Cur Cur Cur Cur Cur | Variable —— age source rent source bal parameter del parameter nperature | Name: Model typ Model na Paramete | be: ime: er name: | 11 | |
| Parametric Swe Temperature (S Save Bias Point Load Bias Point | ep Sweep weep) © Line © Log © Val | Type ear arithmic ue List | Decade 🔹 | Start Val End Valu Incremen | ue: 50 ue: 20 nt: 50 | u 0u u |
| PSpice Resource Include Files Model Libra Simulation F SCHEM SCHEM | ries Profiles ATIC1-bias ATIC1-VAX1 | ОК | Cancel | Apply | Reset | Help |

Рис. 2.32. Установка вторичной развертки по току базы

6. Сохраняем проект и включаем Run и в окне результатов получаем графики выходных характеристик и размечаем их (рис. 2.33).



Рис. 2.33. Графики выходных характеристик

7. Выполняем установку осей.

Выбираем Plot > Axis Settings > XAxis, изменяем Data Range на User **Defined** и вводим диапазон от 0 до 30 V. Нажимаем OK и видим изменения .(puc. 2.34).



Рис. 2..34. Установка осей

Выбираем Plot > Axis Settings > YGrid отключаем Automatic и устанавливаем Major Spacing на 10m. Нажимаем ОК и видим изменения (рис. 2.35).



Рис. 2.35. Изменение расстояния между осями по Ү

Выбираем Plot > Axis Settings > XGrid и устанавливаем как Major, так и Minor Grids на None. Нажимавем ОК и видим изменения (рис. 2.36).





Выбираем Plot > Axis Settings > YGrid и устанавливаем как Major, так и Minor Grids на None. Нажимаем OK and видим (рис. 2.37).



Рис. 2.37. Отключение осей по Ү

2.9. Анализ и отображение режима постоянного тока (Bias Point)

Условия смещения рабочей точки транзистора (в нашем случае ток базы, напряжение питания коллектора) используются для настройки правильной работы транзисторной схемы. Если результаты симуляция не то, что вы ожидаете увидеть, условия смещения - это первые параметры, которые вы должен проверить.

После моделирования с помощью PSpice вы можете отображать информацию о точке смещения на странице схемы в Capture. Напряжения смещения отображаются рядом с их соответствующими узлами, токи смещения отображаются рядом с их ветвями устройства, а мощности смещения отображаются рядом с соответствующими источниками питания, резисторами и транзисторами, в которых мощности выделяются. Увидев эти данные на вашей схеме, вы можете быстро сосредоточиться на потенциальных проблемных областях вашего дизайна. PSpice рассчитывает и сохраняет ток, напряжение и мощности для каждой симуляции. Сарture читает всю эту информацию и может отображать токи во всех ветвях модели, напряжения для каждого узла в вашей цепи или мощности для каждого источника питания или потребителя.

В схеме (рис. 2.30) установим постоянный ток базы источника I1 равным 200 мкА. Установим профиль моделирования Bias Point и сделаем его активным. Возможно этот профиль уже существует в менеджере проекта и был установлен по умолчанию, так как информация о точке смещения доступна для всех типов анализа, кроме DC Sweep.

Для включения измерителей режима в рабочей точке надо выполнить PSpice>Bias Points>Enable (Puc. 2.38).

| PSpice Accessories Options | s Window Help |
|--|--|
| <u> M</u> ew Simulation Profile <u> E</u> dit Simulation Profile | • v7 2 C e H e : |
| 💽 <u>R</u> un F | F11 🛛 🖢 🔄 🖄 🛄 庄 🛛 |
| <u>V</u> iew Simulation Results F Vie <u>w</u> Output File | F12 <u>Enable</u> Enable Pise Current Display |
| <u>C</u> reate Netlist V <u>i</u> ew Netlist | Enable Blas <u>Current Display</u> Toggle Selected Blas Current Enable Blas <u>Voltage Display</u> |
| A <u>d</u> vanced Analysis | Toggle Selected Bias Voltage |
| <u>M</u> arkers | Enable Bias Power Display |
| Bias Points | 🛯 🎦 Toggle Selected Bias Power |
| C | Preferences |

Рис. 2.38. Включение измерителей Bias Points

Выполним моделирование схемы и получим все параметры режима в рабочей точке, соответствующей току базы 200 мкА и напряжению питания 100 В (рис. 2.39).



Рис. 2.39. Электрические параметры в ребочей точке

Для токов на выводах значение «+» для рабочей точки означает, что ток течет в штырек, тогда как значение «-» означает, что ток выходит из штырька. По умолчанию отображаются только напряжения. Вы может включать или вы-

ключать токи с помощью соответствующих кнопок или меню на панели инструментов команды. В нашей схеме отображенны токи (красным), напряжения (бордовым) и мощности синим цветом.

Информацию о смещении можно сохранять и обновляеть.

Данные точки смещения и местоположения отображаемых значений сохраняются как часть схемы. Значительная информация о точке смещения сохраняется для каждого профиля моделирования. Данные обновляются каждый раз, когда вы открываете страницу схемы, когда вы корректируете схему, когда вы активируете другой профиль моделирования или когда вы меняете характеристики отображаемых ярлыков (например, цвет, шрифт или точность).

Для схемы, содержащей несколько страниц, информация об смещении сохраняется на каждой странице. Если вы отключите отображение точки смещения на одной странице, это не повлияет на отображение на других страницах. Если страница используется повторно (иерархические подсхемы), положение измерителей точки смещения будет сохранено для этой страницы и будет одинаковым для всех вхождений этой страницы, хотя значения будут разными для каждого, чтобы точно отражать иерархию схемы.

Количество значащих цифр, отображаемых для точек смещения и цвета можно изменить, выбирая PSpice> Bias Points> Preferences, как показано на рисунке 2.40. До 10 значащих цифр могут быть отображены.





Отдельные постоянные значения для напряжения, тока или мощности можно включать и выключать. Например, если вы выбираете проводник цепи, значение напряжения, тока или мощности можно отображать или нет, переключая соответствующий значок.

При выборе компонента иконками приборов можно отображать режимы постоянного тока.

2.9.1. Сохранение режимов постоянного тока

Вы можете сохранять и повторно использовать данные режима постоянного тока, полученные в моделировании, что полезно если вы должны запустить ряд моделирований большой цепи, которая имеет длительный срок выполнения моделирования.

Это предполагает, что лист списка соединений, т.е. связность компонентов, не изменялась. Помните, что другие анализы используют расчётные результаты анализа постоянного тока. Поэтому, когда вы подводите итоги, вы считаете, что лист соединений не изменился, начальный расчёт режима постоянного тока был сохранен и использован повторно, тем самым уменьшая время выполнения моделирования. Сохранение режима постоянного тока также полезно, когда моделирование не сходится к решению.

В Simulation Profile Settings выберите Bias Point analysis, а затем выберите Save Bias Point. Вы выбираете Browse, чтобы выбрать или создать папку, в которой необходимо сохранить файл. В Capture папка bias создается в каталоге C:/Project Name/ Project Name - PSpiceFiles/SCEMATIC1/bias (рис. 2.41).

| иотеку ▼ Общий доступ ▼ Электронная почта » | | | | | |
|---|------------------|---------------------|--------|--|--|
| Имя | Дата изменения | Тип | Размер | | |
| 🕌 bias | 17.02.2018 11:51 | Папка с файлами | | | |
| 🕼 pr-3-bias | 17.02.2018 13:02 | Папка с файлами | | | |
| VAX1 | 17.02.2018 11:46 | Папка с файлами | | | |
| 🗱 bias | 17.02.2018 11:51 | PSpice Simulation | 2 KI | | |
| 🗱 pr-3-bias | 17.02.2018 13:02 | PSpice Simulation | 2 K | | |
| 🗱 pr-32-bias | 17.02.2018 13:12 | PSpice Simulation | 2 KI | | |
| SCHEMATIC1.ALS | 17.02.2018 13:12 | Файл "ALS" | 1 KI | | |
| SCHEMATIC1 | 17.02.2018 13:12 | PSpice Netlist File | 1 KF | | |
| SCHEMATIC1_sch.prp | 17.02.2018 13:12 | wrifile | 15 KI | | |
| VAX1 | 17.02.2018 11:46 | PSpice Simulation | 2 KF | | |

Рис. 2.41. Расположение папки bias

При создании нового профиля моделирования в проекте создается новая папка, например, pr-3-bias. При каждом активном использовании профиля моделирования содержание, относяящейся к данному профилю папки bias, обновляется.

| Имя | Дата изменения | Тип | Размер | |
|-----------------|------------------|---------------------|--------|--|
| pr-3-bias.10P | 17.02.2018 13:02 | Файл "10Р" | 1 КБ | |
| 趯 pr-3-bias | 17.02.2018 13:02 | PSpice Circuit File | 1 KE | |
| 📄 pr-3-bias.mif | 17.02.2018 13:02 | Файл "MIF" | 1 KB | |
| 📄 pr-3-bias.mrk | 17.02.2018 13:31 | Файл "MRK" | 1 KE | |
| 🖹 pr-3-bias | 17.02.2018 13:02 | PSpice Simulation | 5 KB | |
| | | | | |



Сохранённые данные смещения содержат узловые напряжения и цифровые состояния для всех устройства в схеме, общую мощность и ток, обеспечиваемый любым источником напряжения, список параметров модели для устройств в цепи, полные данные о режиме работы транзистора.

На рис. 2.43 показаны фрагменты файла OUT, открытого в Notepad++.

| <pre>**** 02/17/18 13:02:56 ******* PSpice Lite (March 2016) ******* ID# 10813 **** ** Profile: "SCHEMATIC1-pr-3-bias" [c:\projects 17.2\pr-3\pr-3-PSpiceFiles\SCHEMATIC1\pr-3-bias.sim] **** CIRCUIT DESCRIPTION</pre> |
|---|
| <pre>**** 02/17/18 13:02:56 ******* PSpice Lite (March 2016) ******* ID# 10813 **** ** Profile: "SCHEMATIC1-pr-3-bias" [c:\projects 17.2\pr-3\pr-3-PSpiceFiles\SCHEMATIC1\pr-3-bias.sim] **** CIRCUIT DESCRIPTION</pre> |
| <pre>** Profile: "SCHEMATIC1-pr-3-bias" [c:\projects 17.2\pr-3\pr-3-PSpiceFiles\SCHEMATIC1\pr-3-bias.sim] **** CIRCUIT DESCRIPTION</pre> |
| <pre>** Profile: "SCHEMATIC1-pr-3-bias" [c:\projects 17.2\pr-3\pr-3-PSpiceFiles\SCHEMATIC1\pr-3-bias.sim] **** CIRCUIT DESCRIPTION</pre> |
| **** CIRCUIT DESCRIPTION |
| **** CIRCUIT DESCRIPTION |
| **** CIRCUIT DESCRIPTION |
| |
| |
| THE OWNER OF THE ACCOUNT OF THE TRANSISTORS |
| **** SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C DITOLIN CONCERN TRANSPORT |
| |
| ************************************** |
| $\begin{array}{c} \text{MODEL} & X \neq 1 \text{ model}^4 \\ \hline \end{array} $ |
| |
| |
| NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE VOLTAGE VEL 6.42E-01 |
| VBC – 8.12E+01 Напряжение |
| |
| (N00622) .8421 (N00626) .6421 (N00663) 81.8670 (N00724) 100.0000 BETADC 9.07E+01 |
| |
| RP1 1.1/E+02 |
| RA 1.576401 |
| |
| VOLTAGE SOURCE CURRENTS CDE 1.34E-09 |
| NAME CURRENT CDC 1.122-12 |
| |
| V VI -1.813E-02 DDIAAC 9.5/2+01 |
| |
| TOTAL POWER DISSIPATION 1.81E+00 WATTS F1/F12 9.52E+07 |
| |
| - **** 02/17/18 13:02:56 ******* PSpice Lite (March 2016) ******* TD# 10813 **** |
| |
| ** Profile: "SCHEMATIC1-pr-3-bias" [c:\projects 17.2\pr-3\pr-3-PSpiceFiles\SCHEMATIC1\pr-3-bias.sim] |
| |
| |
| **** OPERATING POINT INFORMATION TEMPERATURE = 27.000 DEG C |
| |
| ***** |

Рис. 2.43. Фрагменты фаила ОUT из папки bias.

В полной версии программы OrCAD-17.2 предусмотрено переключение отображения текущего текущего смещения. Можно включить отображение определенной точки смещения тока, используя для этого кнопку Toggle Selected Bias Current на панели инструментов Bias Point ().

2.9.2. Загрузка сохраненного режима постоянного тока

Сохранённые данные постоянного режима можно загрузить путем выбора Load Bias Point в профиле моделирования. Для этого надо выбрать имя сохранённого файла. Файл данных можно использовать для анализа постоянного тока, переменного тока и в переходных процессах.

Загрущка точки смещения - это функция управления имитацией, которая позволяет вам установить прежнюю точку смещения как начальное условие. Общей причиной сохранения и установки прежних начальных условий в PSpice является необходимость выбрать одну из двух или более стабильных рабочих точек (например, установку или сброс для триггера).

Чтобы проверить загрузку точки смещения, сделайте следующее:

1. Измените схемы как показано на рис. 2.43.а. Запустите симуляцию с помощью параметра Save Bias Point в диалоговом окне «Параметры моделирования». Результаты моделирования соответствуют новым значениям параметров.



Рис. 2.43. Проверка загрузки точки смещения

Вернитесь к исходной схеме с током базы 200 мкА и напряжением питания 100 В (рис. 2.43.б).

Откройте диалоговое окно PSpice>Edit Simulation Profile.

2. Перед запуском другого моделирования перейдите на вкладку Analysis>Bias Point и в диалоговое окно Options выберите Load Bias Point (рис. 2.44).

| Simulation Settings - pr-3-bias | 10.00 | - | - 3,1 | 444. | X |
|---|---|---|---|----------------------------------|------------------------|
| General Analysis Configurat | tion Files | Options | Data Collection | Probe Window | |
| Analysis Type: Bias Point Options: General Settings Temperature (Sweep) Save Bias Point Load Bias Point | Output Fil Incl sen Per Out Cal Fro To | e Options — ude detailed niconductors form Sensitiv put variable(s culate small- m Input sourc Output variab | bias point informat (.OP) ity analysis (.SENS s): signal DC gain (.TI se name: | tion for nonlinear o 3) F) | controlled sources and |
| | | ОК | Cancel | Apply | Reset Help |

Рис. 2.44. Установка режима загрузки смещения

3. Укажите загружаемый файл точки смещения. Используйте кнопку «Обзор», чтобы найти файл, и выберите для нашей схемы C:/Projects 17.2/PR-

3/PR-3-PSpiceFiles/SCHEMATIC1/PR3-bias/PR3-bias (PSpice Circuite File) (рис. 2.45).

4. Нажмите «ОК».

| Simulation Settings - pr-3-bias | the second second | · 5. 5. 6. 5. 1 | X |
|---|--|---|------------|
| General Analysis Con Analysis Type: Bias Point Image: Constraint of the second s | nfiguration Files Options Load bias information C:/Projects 17.2/PR- | Data Collection Probe Window from filename: B/PR-3-PSpiceFiles/SCHEMATIC1 | Browse |
| | ОК | Cancel Apply | Reset Help |

Рис. 2.45. Выбор файла загрузки смещения

После этого, выполнив моделирование, вы получите результаты, соответствующие схеме (рис. 2.43.а).

2.10. Контрольные вопросы

1. Назовите идеальные пассивные и активные элементы электрических цепей и их свойства.

2. Назовите понятия, характеризующие структуру электрической цепи.

3. Назовите основные законы и методы расчета электрических цепей.

4. Как выполняют нужной библиотеки для компонентов схемы ?

5. Как смоделировать цепь постоянного тока и просмотреть результаты?

6. Как проверить соблюдение баланса мощности в цепи постоянного тока?

7. Как выполнить параметрический анализ при изменении значения одного компонента ?

8. Какие установки можно выполнить для окна Probe ?

9. Как можно использовать курсоры для анализа результатов в окне Probe ?

10. Как выполняют исследования при изменении двух параметров в схеме?

11. Как провести измерения выходных характеристик транзистора?

12. Как выполняют анализ, сохранение и загрузку режима постоянного тока электронной схемы ?

Глава 3. Анализ на переменном токе

3.1. Краткое теоретическое введение

3.1.1. Символический метод расчета

В электрических цепях переменного тока токи и напряжения меняются во времени и могут иметь синусоидальную гармоническую форму или периодическую несинусоидальную форму. Поэтому электрические цепи переменного тока разделяют на цепи синусоидального тока и цепи несинусоидального тока.

Расчет электрической цепи при синусоидальном сигнале

При гармоническом синусоидальном сигнале $e(t) = E_m \cdot sin(\omega t + \psi_E)$ расчет электрических цепей проводят символическим методом с использованием комплексных амплитуд токов и напряжений и комплексных сопротивлений.

Рассмотрим пример расчета простой цепи синусоидального тока (рис. 3.1.). Для расчета символическим методом исходную цепь для мгновенных значений напряжений и токов (рис. 3.1.а) заменяют символической схемой замещения для комплексных амплитуд напряжений и токов и комплексных сопротивлений (рис. 3.1.b).

В символической схеме замещения комплексная амплитуда входного напряжения $\underline{E}_m = E_m \cdot e^{j\psi}$.

Сопротивление каждой ветви цепи характеризуют комплексным сопротивлением:

$$\underline{Z} = R + jX = R + j(\omega L - \frac{1}{\omega C}) = Z \cdot e^{j\varphi}$$

где $Z = \sqrt{R^2 + X^2}$ - модуль комплексного сопротивления, $\phi = arctg\left(\frac{X}{R}\right)$ - аргумент комплексного сопротивления. В ветви без индук-

тивности L = 0, а в ветви без емкости $C = \infty$.

Комплексной проводимостью ветви называется величина, обратная комплексному сопротивлению:

$$\underline{Y} = \frac{1}{Z} = g - jb = Ye^{-j\varphi} ,$$

где $Y = \sqrt{g^2 + b^2}$ - модуль комплексной проводимость, $\varphi = arctg(\frac{b}{g})$ -

аргумент комплексной проводимости.

Часть цепи, содержащая одну или несколько ветвей и имеющая два входных зажима, называется двухполюсником. Входное эквивалентное сопротивление двухполюсника рассчитывают сверткой цепи.



Рис. 3.1. Схема простой цепи синусоидального тока Например, для схемы, изображённой на рис 3.1*b*:

$$\underline{Z}_{_{\mathcal{H}\mathcal{B}}} = \underline{Z}_{1} + \frac{\underline{Z}_{2} \cdot \underline{Z}_{3}}{\underline{Z}_{2} + \underline{Z}_{3}}.$$

Входной ток
$$\underline{I}_{1m} = \frac{\underline{E}_m}{\underline{Z}_{3KB}} = \frac{E_m \cdot e^{j\psi_E}}{Z_{3KB} \cdot e^{j\varphi}} = I_{1m}(\omega) \cdot e^{j\psi_I(\omega)}.$$

Здесь зависимость амплитуды тока от частоты $I_{1m}(\omega)$ -амплитудночастотная характеристика тока (АЧХ), $\psi_{I}(\omega) = \psi_{E}(\omega) - \varphi(\omega) - \varphi(\omega)$ - фазочастотная характеристика тока (ФЧХ). Если принять $\psi_{E} = 0$, то $\psi_{I}(\omega) = -\varphi(\omega)$. В цепи с индуктивным сопротивлением $[-\varphi(\omega)]$ меньше нуля и напряжение опережает ток по фазе. В цепи с емкостным сопротивлением $[-\varphi(\omega)]$ больше нуля и напряжение отстает от тока по фазе. В цепи с чисто активным сопротивлением, а также в резонансных режимах, когда $X_{3K6} = 0$, ток совпадает с напряжением по фазе.

3.1.2. Мощность в цепи гармонического тока

Мгновенное напряжение на входе двухполюсника (рис. 3.1.a) $u(t) = U_m \cdot sin(\omega t + \psi_U) = e(t) = E_m \cdot sin(\omega t + \psi_E).$

Мгновенное значение тока на входе двухполюсника равно $i_1(t) = I_{1m} \cdot sin(\omega t + \psi_I)$. Мгновенная мощность будет равна:

$$p(t) = u(t) \cdot i_1(t) = \frac{U_m \cdot I_{1m}}{2} \cos \varphi - \frac{U_m \cdot I_{1m}}{2} \cos(2\omega t + 2\psi_U - \varphi).$$

 $P = \frac{1}{T} \int_{0}^{T} u \cdot i \cdot dt = UI \cos \varphi$. Здесь $U = \frac{U_m}{\sqrt{2}}$ и $I = \frac{I_m}{\sqrt{2}}$ - действующие значе-

ния напряжения и тока на входе двухполюсника.

В расчетах символическим методом применяют комплексную мощность $\tilde{S} = \underline{U} \cdot \underline{I}^* = P + jQ$, где \underline{U} - комплексное действующее значение напряжения на входе пассивного двухполюсника, \underline{I}^* - комплексно-сопряженный ток, P – активная мощность, Q – реактивная мощность. Активная мощность потребляется в цепи. Реактивная мощность обменивается между источниками энергии и накопительными элементами.

3.1.3. Расчет цепи методом двух узлов

Метод двух узлов является частным случаем метода узловых напряжений. Этот метод целесообразно применять, когда в схеме (рис. 3.2) всего два узла. Один узел *b* можно заземлить.



Рис. 3.2. Схема исходной цепи с двумя узлами и схема замещения

В схеме замещения (справа) $\underline{Z}_1, \underline{Z}_2, \underline{Z}_3$ - комплексные сопротивления ветвей; $\underline{E}_{1m}, \underline{E}_{2m}$ - результирующие комплексные амплитуды ЭДС в ветвях; $\underline{I}_{1m}, \underline{I}_{2m}, \underline{I}_{3m}$ - комплексные амплитуды токов в ветвях. Напряжение между узлами *a* и *b* можно рассчитать по формуле *метода двух узлов*:

$$\underline{U}_{abm} = \frac{\underline{E}_{1m}\underline{Y}_1 + \underline{E}_{2m}\underline{Y}_3}{\underline{Y}_1 + \underline{Y}_2 + \underline{Y}_3}$$

После расчета напряжения \underline{U}_{abm} токи в ветвях можно найти по обобщенному закону Ома.

Простую цепь гармонического тока надо уметь рассчитывать «в ручную», используя комплексные числа и калькулятор. Расчет сложных цепей можно В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

выполнить в *Mathcad* или исследовать, используя программы моделирования (OrCAD, TINA, MultiSim).

3.2. Расчетное задание

В цепи (рис. 3.3) действует синусоидальный источник напряжения $e(t) = 8 \cdot sin1000t$ (f = 159,15 Гц).

Номинальные значения пассивных элементов цепи указаны на схеме. Найти ток в цепи, напряжения на всех элементах. Построить графики напряжений и тока. Построить векторную диаграмму.



Рис. 3.3. Расчетная схема к заданию 3.2

Рекомендации:

1. Вычислить комплексную амплитуду источника напряжения и комплексные сопротивления всех элементов.

2. Вычислить комплексную амплитуду тока.

3. Вычислить комплексные амплитуды напряжений на элементах цепи.

4. Построить векторную диаграмму напряжений, совмещенную с векторной диаграммой токов.

5. Записать выражения для мгновенных значений напряжений и токов.

3.3. Компьютерное моделирование по заданию 3.2

Создаем новый проект pr-4, используя PSpice Analog or Mixed A/D и шаблон simple.opj.

Анализ переменного тока (AC – анализ) используется для расчёта частотной и фазовой характеристики схемы при развёртке частоты источника переменного напряжения или тока, подключённого к цепи. AC - анализ передаточных характеристик представляет собой линейный анализ и вычисляет характеристики отклика схемы на малый сигнал в заданном диапазоне частот путём замены любого нелинейного схемного устройства линейными моделями. Анализ на постоянном токе выполняют до запуска анализа переменного тока и используют для эффективной линеаризации цепи вокруг рабочей точка покоя (DC смещения). Следует отметить, что анализ переменного тока не выполняется на отдельных фрагментах (вырезках) сигнала. Вам придётся запустить переходный анализ, чтобы определить эти эффекты. Для того, чтобы выполнить анализ переменного тока, используется независимый источник напряжения переменного тока V_{AC} (рис. 3.4а) или источник переменного тока I_{AC} (рис 3.4б) из исходной библиотеки. Тем не менее, любой независимый источник напряжения, который имеет свойства переменного тока, включённый в раздел Parts, может быть использованы в качестве входного сигнала. Рисунок 3.4 показывает свойства, источников из библиотеки Parts - Source, которые отображаются в редакторе свойств.

Такие же переменные источники можно загрузить из меню Place>PSpice Component>Source.

| V1 1Vac OVdc New Property Apply Display Delete Prope | | 1Aac OAdc | 11 y Display) Delete Prop |
|---|-----------------------|-----------------------|---|
| | A | | Α |
| | SCHEMATIC1 : PAGE1 | | + SCHEMATIC1 : PAGE1 |
| ACMAG | 1Vac//// | ACMAG | |
| ACPHASE | | ACPHASE | |
| Color | Default | Color | Default |
| DC | 0Vdc/// | DC | 0Ade//// |
| Designator | | Designator | |
| Graphic | VAC.Normal | Graphic | IAC.Normal |
| ID | | ID | |
| Implementation | | Implementation | hadaalaalaalaalaalaalaalaalaalaalaalaalaa |
| Implementation Path | | Implementation Path | |
| Implementation Type | PSpice Model | Implementation Type | PSpice Model |
| Location X-Coordinate | 220 | Location X-Coordinate | 310 |
| Location Y-Coordinate | 220 | Location Y-Coordinate | 220 |
| Name | INS476 | Name | INS445 |
| Part Reference | V1 | Part Reference | 11 |
| PCB Footprint | | PCB Footprint | |
| Power Pins Visible | | Power Pins Visible | |
| Primitive | DEFAULT | Primitive | DEFAULT |
| PSpiceOnly | TRUE | PSpiceOnly | TRUE |
| PSpiceTemplate | V^@REFDES %+ %- ?DCID | PSpiceTemplate | f@REFDES %+ %- ?DC DC |
| Reference | V1 | Reference | 11 |
| Source Library | C:\CADENCE\SPB_17.2 | Source Library | C:\CADENCE\SPB_17.2 |
| Source Package | VAC | Source Package | IAC |
| Source Part | VAC.Normal | Source Part | IAC.Normal |
| Value | VAC | Value | AC |

a)

б)

Рис. 3.4. Свойства переменных источников напряжения и тока
 По умолчанию, величина источника переменного напряжения составляет
 1 В. При вычислении частотных характеристик, как правило, вычисляют коэффициент усиления и фазы для отклика схемы. Так как коэффициент

усиления контура определяется отношением V_{out} / V_{in} , при установке V_{in} равным 1 В, функция усиления или передачи цепи будет равна напряжению на выходе V_{out} .

Переменный источники напряжения 1Vac и тока 1Aac рекомендуют использовать для анализа амплитудно-частотных характеристик цепей.

В библиотеке Place> Parts – Source и другие источников синусоидального сигнала (рис. 3.5), в которых вы можете установить смещение по постоянному напряжению, амплитуду синусоидального сигнала, частоту и фазу.



Рис. 3.5. Источники синусоидальных сигналов

Эти два источника синусоидальных сишгалов рекомендуют использовать для анализа формы сигналов и переходных процессов.

3.3.1. Схема моделирования

На рис. 3.6 показана схема моделирования по заданию 3.2.



Рис. 3.6. Схема моделирования

Для получения амплитудно-частотной характеристики (АЧХ) цепи подключим маркер напряжения к пину на резисторе.

Установим новый профиль моделирования, выбрав тип анализа AC Sweep/Noise, диапазон частот от 10 до 200 Гц, количество точек 1000 (рис. 3.7).

| General Analysis Configu | ration Files Options | Data Collection | Probe Window | |
|--------------------------|--|---------------------|-------------------------|----------------|
| nalysic Type: | AC Sweep Type — | | | |
| C Sweep/Noise | Linear | | Start Frequency: | 10 |
| ptions: | Logarithmic | | End Frequency: | 200 |
| General Settings | Decade 🔍 | | Total Points: | 1000 |
| Monte Carlo/Worst Case | Noise Analysis | | | |
| Parametric Sweep | Enabled | Output Voltage: | | |
| Temperature (Sweep) | | I/V Source: | | |
| Save Bias Point | | Interval: | | |
| Load Bias Point | Output File Options — | | | |
| | Include detailed bias semiconductors (.OP) | s point information | for nonlinear controlle | ed sources and |
| | | | | |
| | | | | |
| | | | | |

Рис. 3.7. Установка профиля моделирования АЧХ

Выполняем моделирование и получаем график АЧХ с резонансом на частоте 112 Гц (рис. 3.8).



Рис. 3.8. Результаты моделирования АЧХ

Проведем исследование формы сигналов на резисторе и конденсаторе и сдвига фаз между током и напряжениями в цепи. Для этого установим синусоидальный источник напряжения из библиотеки Part с параметрами VOFF=0, VAMP=1, FREQ=100, AC=0.

На конденсаторе напряжение будем измерять двумя дифференциальными маркерами напряжения (V+ V-), подключенными к пинам (рис. 3.9).



Рис. 3.9. Измерение двух напряжений в схеме

Для проведения измерений двух напряжений и сдвига фаз синусоидальных сигналов будем использовать два курсора.

3.3.2. Использование двух курсоров

На рис. 3.10 показаны графики (трассы) напряжений на резисторе Ur и конденсаторе Uc в окне Probe после моделирования.

Сначала выполним установку свойств курсоров. Для этого в окне Probe выбираем Tools>Options>Cursor Settings и устанавливаем цвета и толщину линий курсоров (рис. 3.10).



В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

Рис. 3.10. Установка свойств курсоров

Далее для подключения двух курсоров выполняем следующее.

1. Включаем курсоры, выполняя команды Trace>Cursor>Disply.

2. Первый курсор включается и управляется левой кнопкой мыши. В строке легенды графиков левой кнопкой мыши надо щелкнуть по названию графика. При этом щелчок левой кнопкой мыши закрепляет за выбранным названием первый курсор, а щелчок правой кнопкой мыши по названию второго графика закрепит за ним второй курсор.

3. Первый курсор перемещается по графику при нажатой левой кнопке мыши. Второй курсор перемещается при нажатой правой кнопке мыши.

4. Для измерения временного сдвига графиков напряжений установим курсоры в нулевых точках графиков с положительной производной.

Напряжение на конденсаторе отстает от напряжения на резисторе на - 2,4747 мсек.

Для частоты $f = 100 \Gamma u$ сдвиг фазы составит:

$$\Delta \varphi = 2\pi f (-2,4747 \cdot 10^{-3}) \approx -1,57 \, pad \approx -90^{\circ}.$$

Это соответствует теории гармонического тока: нарпяжение на емкости отстает от тока (или напражения на резисторе) на 90° .



Рис. 3.11. Графики напряжений в схеме

5. Для перемещения курсоров в особые точки графиков надо выполнить следующее (рис. 3.12):

- выбрать нужный курсор соответствующей ему кнопкой мыши;

- выбрать левой кнопкой мыши нужную особую точку графика.



Рис. 3.12. Перемещение курсоров в Міп и Мах

Перемещать курсоры можно, используя специальные комбинации клавиш. Об этом можно прочитать в руководствах по PSpice и OrCAD.

В смешанных аналого-цифровых схемах в окне Probe отображается две области графиков.

В аналоговой области графика (если есть) оба курсора изначально помещенны на трассировку, указанную первой в легенде трассировки и соответствующий символ трассы обозначается пунктирной линией.

В цифровой области графика (если есть) оба курсора изначально помещенны на трассу, названную первой вдоль оси Y, и соответствующее имя трассировки обозначается пунктирной линией.

Мы покажем это позже при изучении смешанных схем.

3.4. Активный заграждающий фильтр

Электрические фильтры применяют для пропускания без ослабления колебаний одних (полезных) частот и подавления (ослабления) колебаний других частот (помех). В прошлые годы применяли пассивные электрические

LC-фильтры. Однако, значительные размеры катушки индуктивности ограничивают использование LC-фильтров в миниатюрной аппаратуре.

С появлением интегральных микросхем с операционными усилителями (ОУ) с начала 70-х годов прошлого века начали разрабатывать и широко применять *активные RC фильтры*, содержащие один или несколько ОУ и резисторы и емкости в цепях обратных связей. Порядок фильтра определяется наибольшей степенью переменной p в знаменателе его передаточной функции. Фильтры высокого порядка имеют лучшие частотные характеристики.

В зависимости от требований к качеству фильтрации и форме амплитудно-частотной характеристики применяют активные фильтры разной степени сложности: первого порядка, второго и более высоких порядков, с одним или несколькими ОУ, со специальной формой АЧХ (фильтры Баттерворта, Чебышева, Кауэра и т.д.).

Полосу частот, в которой затухание фильтра мало (а=0), называют полосой пропускания или полосой прозрачности

Полосу частот, в которой затухание фильтра велико (а = ∞), называют полосой задерживания или полосой подавления.

Классификация фильтров по полосе пропускания показана на рис. 3.13. Области со штриховкой соответствуют полосе задерживания. Прозрачные области соответствуют полосе пропускания (прозрачности). Граничные частоты полосы пропускания и задерживания называют частотами среза и обозначают ω_{c1}, ω_{c2} .



Рис. 3.13. Классификация фильтров по полосе пропускания

Мы будем рассматривать активный заграждающий фильтр (3Ф) второго порядка (рис. 3.14). Такой фильтр называют ещё режекторным.



Рис. 3.14. Активный заграждающий фильтр

В заграждающем фильтре (рис. 3.14) все резисторы одинаковы и равны *R*, все емкости одинаковы и равны *C*. Расчетные формулы:

$$K(\omega) = \frac{K \left| \omega^2 - \omega_0^2 \right|}{\sqrt{(\omega^2 - \omega_0^2)^2 + 4\omega^2 \omega_0^2 (2 - K)^2}},$$
$$\omega_0 = \frac{1}{RC}, K = 1 + \frac{R'_H}{R''_H}$$

Для значений R=10 кОм, C=22 нФ получим:

$$\omega_0 = \frac{1}{10^4 \cdot 22 \cdot 10^{-9}} = 4,545 \cdot 10^3 1/c, \ f_0 = 723 \, \Gamma y.$$

Этот фильтр подробно исследован в книгах автора по электронике с использованием моделирования в программной среде TINA. Поэтому результаты, полученные в OrCAD, мы будем проверять, сравнивая с моделированием в TI-NA.

3.4.1. Моделирование активного заграждающего фильтра

Создаем новый проект PR-5 для аналогового и смешанного моделирования на основе проекта simple.opj.

Выберем операционный усилитель типа AD648A. PSpise модель этого ОУ находится в библиотечном файле\pspice\opamp.olb. В менеджере проектов надо добавить этот файл в библиотеку проекта PR-5 (рис. 3.15).



Рис. 3.15. Добавление библиотеки pspice\opamp

Остальные компоненты фильтра выберем из библиотеки Place>PSpice Components. Модель фильтра показана на рис. 3.16. Чтобы не загромождать схему источниками питания (особенно при нескольких ОУ), мы подключили к двум источникам постоянного напряжения V1 и V2 символы VCC из библиотеки CAPSYM. В источнике напряжения V1 к VCC подкючен «плюс» напряжения. В источнике V2 переименуем символ на VSS и подключем к нему «минус» напряжения. Теперь к выводам питания ОУ достаточно подкючить символы VCC и VSS.

В потенциометре обратной связи R6 установим коэффициент передачи SET=0,8.



Рис. 3.16. Модель активного заграждающего фильтра

Создадим новый профиль моделирования VAXNTH (notch filter – режекторный фильтр) (рис. 3.17) с разверткой по частоте от 10 Гц до 2 кГц.

| General Analysis Configu | ration Files Options | Data Collection | Probe Window | |
|--|----------------------|-----------------|------------------|----------|
| Analysis Type: | AC Sweep Type — | | | |
| AC Sweep/Noise 👻 | Linear | | Start Frequency: | 10 |
| Options: | Logarithmic | | End Frequency: | 2k |
| General Settings | Decade 🔹 | | Total Points: | 500 |
| Monte Carlo/Worst Case | Noise Analysis | | | |
| Parametric Sweep | Enabled | Output Voltage: | | |
| Temperature (Sweep) | | I/V Source: | | |
| Save Bias Point | | Interval: | | |
| Output File Options Include detailed bias point information for nonlinear controlled sources and semiconductors (.OP) | | | | |
| | ОК | Cancel | Apply | set Help |

Рис. 3.17. Профиль моделирования заграждающего фильтра

Проводим моделирование и получаем в окне Probe график амплитудночастотной характеристики заграждающего фильтра (рис. 3.18). Используем одну из функций курсора: Trace > Cursor > Min или иконку . Частота режекции равна 723,848 Гц. На частоте 10 Гц передача фильтра равна 1,2496.



Рис. 3.18. График АЧХ заграждающего фильтра



Для большей точности чтения, увеличьте масштаб в нижней точке графика: View > Zoom > Area или используйте иконки (Рис. 3.19).

Рис. 3.19. Увеличение масштаба графика

Перестроим дисплей Probe в исходный размер: View > Zoom > Fit.

Для удаления графика выберем имя графика внизу дисплея и нажмем Delete или выберем Trace > Delete all Traces.

3.4.2. Добавление и изменение графиков

Теперь мы собираемся вручную добавить график выходного напряжения V(out). В меню окна Probe выбираем: Trace > Add Trace.

Появляется окно Add Traces (рис. 3.20). В этом окне можно выбрать любой параметр схемы для просмотра графика (токи, напряжения, мощности и пр.).

| Add Traces | | |
|--|----------------------|--|
| Simulation Output Variables | 1 | Functions or Macros |
| × | | Analog Operators and Functions 🔹 |
| I(V3) I(V3:+) | 📝 Analog | |
| V(0) V(C1:1) | Digital | + |
| V(C1:2) V(C2:1) | Voltages | 7 |
| V(C2:2) V(C3:1) | V Currents | @ ABS() |
| V(C3:2) V(C4:1) | V Power | |
| V(C4:2) V(N00891) | Noise (V²/Hz) | AVG() 4 AVGX(.) |
| V(N00895) V(N00899) | 📝 Alias Names | |
| V(N00903) V(N02470) | Subcircuit Nodes | DB() ENVMAX(.) |
| V(B1:1) V(R1:2) V(R2:1) V(R2:2) V(R3:1) V(R3:2) V(R4:1) Full List | 105 variables listed | ENVMIN(,) EXP() G() IMG() LOG() LOG10() M() MAX() |
| Trace Expression: DB(V(OUT)) | | OK Cancel Help |

Рис. 3.20. Окно Add Trace

Можно сделать выбор нужных видов графиков в окне (стрелка 1), выбор конкретного графика для отображения в окне Probe (стрелка 2), линейную шкалу координат (стрелка 3) или установить шкалу в децибеллах (стрелка 4). В этом случае в окне Trace Expression должно быть записано: DB[V(OUT)].

Чтобы получить график АЧХ по оси У в децибеллах, можно также использовать маркер dB Magnitude of Voltage (рис. 3.21). PSpice Accessories Options Window Help New Simulation Profile R Voltage Level Edit Simulation Profile A Voltage Differential Run F11 Current Into Pin View Simulation Results F12 Repower Dissipation View Output File dB Magnitude of Voltage Advanced Create Netlist dB Magnitude of Current Plot Window Templates... View Netlist Phase of Voltage Show All Advanced Analysis Phase of Current Hide All Markers Group Delay of Voltage Delete All **Bias Points** Group Delay of Current List... Real Part of Voltage Real Part of Current Imaginary Part of Voltage Imaginary Part of Current

Рис. 3.21. Выбор маркера для измерения в децибеллах





На рис. 3.23 показано измерение в двух точках схемы и соответствующие этому случаю графики (рис. 3.24).


20



Рис. 3.24. Графики измерений в двух точках

Аналогичный результат мы получим, если в окне Add Trace введем выражение DB(V(VC4)).

В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

Для измерения амплитуды и фазы выходного сигнала надо подключить к выходу маркеры db Magnitude of Voltage и Phase of Voltage. На рис. 3.25 показаны графики амплитуды и фазы.



Рис. 3.25. Графики амплитуды и фазы заграждающего фильтра Второй способ: ввести в окне Add Trace P(V(OUT)).

3.5. Многовариантный анализ активного фильтра

3.5.1. Изменение величины резисторов

Создадим новый проект PR-6 на основе проекта PR-5, выбрав файл проекта PR-5 в окне Create PSpice Project (рис. 3.26).

| Create PSpice Project | x |
|---------------------------------------|----------------|
| Oreate based upon an existing project | ОК |
| C:\Projects 17.2\PR-5\PR-5.opj - | Browse |
| Create a blank project | Cancel Help |

Рис. 3.26. Создание нового проекта на основе существующего

Поставим задачу: определить изменения АЧХ при изменении значения резисторов от 8 кОм до 12 кОм с шагом 1 кОм.

Для этого выполняем следующее.

1. Выделяем все резисторы и открываем Edit Properties. В строке Value записываем {RES} в фигурных скобках (рис. 3.27).

В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

| New Property Apply Display Delete Property Pivot Filter by: Capture PSpice | | | | | | |
|--|---|---|-----------------------|---|--|--|
| | | | | | | |
| | A | В | С | D | | |
| | SCHEMATIC1 : PAGE1 | SCHEMATIC1 : PAGE1 | ⇒ SCHEMATIC1 : PAGE1 | ⇒ SCHEMATIC1 : PAGE | | |
| Implementation | | | å | | | |
| mplementation Type | <none></none> | <none></none> | <none></none> | <none></none> | | |
| IO_LEVEL | | | | | | |
| IOMODEL | | | | | | |
| MNTYMXDLY | | | | | | |
| Name | INS500 | INS526 | INS552 | INS578 | | |
| Part Reference | R1 | R2 | R3 | R4 | | |
| Source Library | C:\CADENCE\SPB_17.2 | C:\CADENCE\SPB_17.2 | C:\CADENCE\SPB_17.2 | C:\CADENCE\SPB_17.2 | | |
| Source Package | R | R | R | R | | |
| PSpiceTemplate | R^@REFDES %1 %2 ?TOLE | R^@REFDES %1 %2 ?TOLE | R^@REFDES %1 %2 ?TOLE | R^@REFDES %1 %2 ?TOU | | |
| PSpiceOnly | | | | | | |
| Reference | R1 | R2 | R3 | R4 🖌 | | |
| Value | {RES} | {RES} | {RES} | {RES} | | |
| RES | | | | | | |
| DIST | FLAT | /////FLAT///// | FLAT | ////////////////////////////////////// | | |
| ocation X-Coordinate | 460 | 460 | 250 | 340 | | |
| ocation Y-Coordinate | 120 | 80 | 280 | 280 | | |
| MAX_TEMP | RTMAX | RTMAX | RTMAX | RTMAX | | |
| POWER | RMAX | RMAX | RMAX | RMAX | | |
| SLOPE | RSMAX | RSMAX | RSMAX | RSMAX | | |
| Source Part | R.Normal | R.Normal | R.Normal | R.Normal | | |
| TC1 | 0 | 0 | 0 | 0////////////////////////////////////// | | |
| TC2 | 0////////////////////////////////////// | 0////////////////////////////////////// | 0 | /////////////////////////////////////// | | |
| TOLERANCE | | | | | | |
| VOLTAGE | RVMAX | RVMAX | RVMAX | RVMAX | | |

Рис. 3.27. Переименование резисторов на {RES}

2. Выбираем Place-Part, находим библиотеку Special и добавляем в проект. В этой библиотеке находим компонент PARAM и добавляем в проект.

3. Дважды щелкним на PARAM и открываем в редакторе свойств панель (рис. 3.28.а). Нажимаем New Properties, вводим имя и значение (рис. 3.28.б) и нажимаем Apply > Ok.

| New Property | y Display Delete Property | Add New Property |
|----------------------|--|---|
| | | |
| | Α | Name: |
| | + SCHEMATIC1 : PAGE1 | RES |
| Color | Default | |
| Designator | | Value: |
| Graphic | PARAM.Normal | 10k |
| ID | | |
| Implementation | ka k | Display ION /OEE1 |
| Implementation Path | | |
| Implementation Type | PSpice Model | Enter a name and click Apply or OK to add a column/row to the |
| ocation X-Coordinate | 550 | property editor and optionally the current filter (but not the Current |
| ocation Y-Coordinate | 210 | property callor and optionally the callent liker (back not the ceallent |
| Name | INS5874 | |
| Part Reference | 1 | No properties will be added to selected objects until you enter a value |
| PCB Footprint | | here or in the newly created cells in the property editor spreadsheet. |
| Power Pins Visible | | |
| Primitive | DEFAULT | Always show this column/row in this filter |
| PSpiceOnly | TRUE | |
| Reference | 1 | Apply OK Capcel Help |
| RES | 10k | |
| Source Library | C:\CADENCE\SPB_17.2 | |
| Source Package | PARAM | h |
| Source Part | PARAM.Normal | |
| Value | PARAM | |

a)

б)

Рис. 3.28. Панель свойств резисторов

4. Для проверки сделанного нажимаем Display.

| Display Properties | × |
|--|---------------------------------------|
| Name: RES | Font Arial 7 |
| Value: 10k | Change Use Default |
| Display Format Do Not Display Value Only Name and Value Name Only Both if Value Exists Value if Value Exists | Color Default Rotation |
| ОК Са | Text Justification Default ncel |

Рис. 3.29. Проверка новых свойств

5. Чтобы сохранить изменения, нажимаем в главном меню Apply и закрываем окно свойств.



После этого схема проекта для многовариантного анализа будет выглядеть так (рис. 3.30):

Рис. 3.30. Схема для многовариантного анализа

6. Устанавливаем новый профиль моделирования VAXNTH-2. Профиль моделирования содержит первичную развертку по частоте (рис. 3.31) и вторичную параметрическую развертку по глобальному параметру RES от 8 кОм до 12 кОм с инкрементом 1 кОм (рис. 3.32).

| Simulation Settings - VAXNTH-2 | 1.11.11.11 | - 16.1 | 145-1 | X |
|--------------------------------------|--|-------------------|-------------------------|---------------|
| General Analysis Configura | ation Files Options | Data Collection | Probe Window | |
| Analysis Type: | AC Sweep Type —— | | | |
| AC Sweep/Noise | Linear | | Start Frequency: | 10 |
| Options: | Logarithmic | | End Frequency: | 2k |
| General Settings | Decade 👻 | | Total Points: | 200 |
| Monte Carlo/Worst Case | Noise Analysis ——— | | | |
| Parametric Sweep | Enabled | Output Voltage: | | |
| Temperature (Sweep) | | I/V Source: | | |
| Save Bias Point | | Interval: | | |
| Load Bias Point | Output File Options — Include detailed bias semiconductors (.OP) | point information | for nonlinear controlle | d sources and |
| | OK | Cancel | Apply Res | et Help |

Рис. 3.31. Первичная развертка по частоте

| General Analysis Configura | tion Files Options Data | a Collection Probe Wind | low | |
|--|--|--|-------------------------------------|------|
| Analysis Type: AC Sweep/Noise Options: General Settings Monte Carlo/Worst Case Parametric Sween | Sweep Variable Voltage source Current source Global parameter Model parameter Temperature | Name: Model type: Model name: Parameter name: | RES | Ţ |
| Temperature (Sweep) Save Bias Point Load Bias Point | Sweep Type © Linear © Logarithmic Decad © Value List | Start End Incre | Value: 8k Value: 12k ment: 1k | |
| | ОКСС | ancel Apply | Reset | Help |

Рис. 3.32. Вторичная параметрическая развертка по глобальному параметру RES

7. Сохраняем введенные в проект изменения и выполняем моделирование.

В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

В окне доступных секций можно выбрать нужные графики или отобразить сразу все (рис. 3.33).

| | Available Sections | | |
|-------------------|---|---|--|
| | ** Profile: "SCHEMATIC1-VAXNTH-2" [c:\project Step param RES = ** Profile: "SCHEMATIC1-VAXNTH-2" [c:\project Step param RES = | 8.0000E+03 9.0000E+03 10.0000E+03 11.0000E+03 12.0000E+03 | 27.0 Deg 27.0 Deg 27.0 Deg 27.0 Deg 27.0 Deg 27.0 Deg |
| All None OK Cance | | | |

Рис. 3.33. Доступные секции результатов

Все графики показаны на рис. 3.34. Изменение значения резисторов влияет на частоту режекции и ослабление сигнала.



Рис. 3.34. Графики АЧХ для разных значений резисторов

3.5.2. Изменение установки потенциометра обратной связи.

Создадим новый проект PR-7 на основе проекта PR-5. Отметим, что такое создание новых проектов позволит нам легко обращаться к предыдущим сохраненным без изменения схем и профилей моделирования.

Будем исследовать влияние установки потенциометра обратной связи R5 на амплитудно-частотные характеристики 3Ф.

Делается это так:

1. Сделайте двойной щелчок по свойству SET и измените значение по умолчанию от 0,5 на {ratio}. Не забывайте поставить фигурные скобки.

2. Из библиотеки Special выбираем PARAM. Двойным щелчком открываем окно свойств. Устанавливаем переменный параметр ratio и нажимаем Apply (Puc. 3.35).

| Color Designator Graphic 1 PARAM.Normal PARAM.Normal Add New Property Image: Ima |
|--|
| |

Рис. 3.35. Установка параметра ratio для потенциометра

3. В свойствах компонента «Потенциометр» видим Value=PARAM. Выделяем ratio=0.5 (точка !) и нажимаем Display. Проверяем установку (рис. 3.35).

4. В главном меню нажимаем Apply для сохранение установок.

На рис. 3.36 показана схема заграждающего фильтра с переменным потенциометром.



Рис. 3.36. Схема ЗФ с переменным потенциометром

5. Развертку по частоте сохраняем из проекта PR-5.

Устанавливаем профиль моделирования по развертке параметра SET (рис. 3.37). Параметр ratio будем менять от 0.5 до 0.9 с инкрементом 0.1.

Обращаем внимание на то, что в этих десятичных дробях ставят «точку».

| General Analysis Configur Analysis Type: Ac Sweep/Noise • AC Sweep/Noise • • Options: • • Ø General Settings • • Monte Carlo/Worst Case • • Parametric Sweep • • Temperature (Sweep) • • Save Bias Point • • | tion Files Options Data Collection Probe Window Sweep Variable Voltage source Name: Current source Model type: Global parameter Model name: Model parameter Parameter name: ratio Temperature Sweep Type Start Value: | 0.5 |
|--|---|-----|
| Load Bias Point | ● Linear End Value: ● Logarithmic Decade ● Value List | 0.9 |

В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

Рис. 3.37. Установка профиля параметрической развертки по параметру ratio. Нажимаем: Apply > Ок.

6. Выполняем моделирование. Таблица доступных разделов показана на рис. 3.38.



Рис. 3.38. Таблица доступных разделов

Графики АЧХ заграждающего фильтра при разных установках потенциометра обратной связи показаны на рис. 3.39.



Рис. 3.39. Графики АЧХ 3Ф при разных начениях установки SET

Отметим, что значения изменяемого параметра можно задавать списком чисел, разделенных запятыми (рис. 3.40)

| Parametric Sweep | Temperature | | |
|---------------------|--------------------------------------|--------------|-----|
| Temperature (Sweep) | Sweep Type — | | |
| Save Bias Point | | Start Value: | 0.5 |
| Load Bias Point | 🔘 Linear | End Value: | 0.9 |
| | ○Logarithmic Decade | Increment: | 0.1 |
| | ⊚ Value List 0.5, 0.6, 0.7, 0.8, 0.9 | | |

Рис. 3.40. Список значений переменного параметра

3.6. Контрольные вопросы

1. Как выполняют расчет электрической цепи синусоидального тока символическиим методом ?

2. Как рассчитывают мгновенную и активную мощность в цепи синусоидального тока ?

3. Что такое действующее значение синусоидального напряжения и чем оно отличается от амплитудного ?

4. Какие переменные источники напряжения и тока применяют в OrCAD для моделирования частотных характеристик цепи ?

5. Какие источники синусоидальных сигналов применяют в OrCAD для моделирования формы сигналов и переходных процессов ?

6. Как надо задавать профиль моделирования для исследования амплитудно-частотных характеристик ?

7. Как используют курсоры для измерений на графиках в окне Probe ?

8. Как можно добавить или изменить графики в окне Probe после моделирования ?

9. Как проводят многовариантный анализ модели активного фильтра при изменении параметров компонентов ?

10. Как проводят многовариантный анализ активного фильтра при изменении потенциометра в цепи обратной связи ?

Глава 4. Анализ методом Монте-Карло 4.1. Принципы метода Monte Carlo

Анализ методом Монте-Карло, по существу, статистический анализ, который вычисляет отклик схемы, когда параметры модели устройства случайным образом изменялись между установленными пределами допусков в соответствии с заданным статистическим распределением. Например, все схемы, которые встречались до сих пор были смоделированы с использованием фиксированных значений компонентов.

Реальные дискретные компоненты, такие как резисторы, катушки индуктивности и конденсаторы имеют определённый допуск (1%-10%).

Другие дискретные компоненты и полупроводники в цепи также будут иметь допуски и таким образом, совокупный эффект всех допусков компонентов может привести к значительным отклонением от ожидаемого отклика цепи.

Анализ методом Монте-Карло дает статистические данные с предсказанием влияния случайного изменения параметров модели или значения компонентов (дисперсия) в заданных пределах допуска. Сформированные случайные значения соответствуют статистическому распределению. Анализ цепи (постоянного тока, переменного тока или переходных процессов) многократно повторяется в каждом запуске с новыми значениями случайных параметров.

В методе Монте-Карло происходит генерации нового набора выбранных случайным образом значений параметров компонентов или модели. Чем больше количество серий, тем больше вероятность того, что каждый компонент примет значения в пределах своего диапазона допустимых значений и будет использоваться для моделирования. Часто выполняются сотни или даже тысячи опытов Монте-Карло, чтобы охватить как можно больше возможных значений компонентов в пределах их границ допуска.

Метод Монте-Карло предсказывает устойчивость или отказ схемы путём изменения значения параметров компонента или модели в заданных пределах допуска.

Результаты анализа методом Монте-Карло можно использовать для создания и отображения гистограммы для статистических данных, вместе со сводкой статистических данных. Это обеспечивает наглядное визуальное представление статистических результатов анализа методом Монте-Карло.

4.2. Моделирование заграждающего фильтра по методу Монте – Карло

Создадим папку PR-8 и новый проект PR-8 на основе проекта PR-5 для аналогового и смешенного моделирования.

Проверим функционирование схемы, выполнив азализ АЧХ (рис. 4.1).



Рис. 4.1. Проверка фанкционирования схемы ЗФ

Исследуем влияние точности пассивных компонентов схемы (резисторов и конденсаторов) на форму амплитудно-частотной характеристики заграждающего фильтра методом Монте-Карло

Для начала выделим на схеме все резисторы, откроем окно свойств и установим свойство TOLLERANCE, например, равное 5% (рис. 4.2).

| [| New Property Apply Disp 5% | play) Delete Property | Pivot Filter b | y: Capture PSpice | | | telp | |
|---|-------------------------------|-----------------------|--------------------|-------------------|-------|------|-----------|----------|
| | | Part Reference | Source Library | Reference | Value | | TOLERANCE | VOLTAGE |
| 1 | SCHEMATIC1 : PAGE1 | R1 | C:\CADENCE\SPB_17. | R1 | 10k | | 5% | RVMAX |
| 2 | SCHEMATIC1 : PAGE1 | R2 | C:\CADENCE\SPB_17. | R2 | 10k | | 5% | RVMAX |
| 3 | SCHEMATIC1 : PAGE1 | R3 | C:\CADENCE\SPB_17. | R3 | 10k | | 5% | ŔVMAX |
| 4 | SCHEMATIC1 : PAGE1 | R4 | C:\CADENCE\SPB_17. | R4 | 10k | | 5% | RVMAX |
| | | | | | | 12.4 | | v |

Рис. 4.2. Установка точности резисторов

Создадим новый профиль моделирования, выберем AC Sweep, установим параметры развертки по частоте, как и в прошлом исследовании. Далее активируем пункт Monte Carlo. Установим параметры как на рис. 4.3., особое внимание стоит обратить на параметр Output variable.

Мы выбрали распределение Гаусса, количество опытов 100, задали произвольно начальное случайное число 17336 для генератора случайных чисел и выбрали опцию MC Load Save для сохранения результатов моделирования в файле (рис. 4.3, 4.4).

| Simulation Settings - vaxnth | | x | | |
|--|--|---|--|--|
| General Analysis Configu | ation Files Options Data Collection Probe Window | | | |
| Analysis Type: AC Sweep/Noise | Monte Carlo Morst-case/Sensitivity Monte Carlo Options | | | |
| General Settings Monte Carlo/Worst Case Parametric Sweep | Number of runs: 100 Use Distribution: Gaussian Random number seed: 17336 [1.32767] | | | |
| Temperature (Sweep) | Save Data From: All 💌 runs | | | |
| Save Bias Point Load Bias Point | Worst-case/Sensitivity Options Vary Device that have both DEV and LOT Limit devices to type(s) Save data from each sensitivity run | | | |
| OK Cancel Apply Reset | | | | |

Рис. 4.3. Установка параметров режима Монте-Карло

| Load Parameter values from file: | |
|----------------------------------|--------|
| | Browse |
| Save Parameter values in file: | |
| Projects 17 2/PR-8/PR-8-MCP mcn | Drowco |

Рис. 4.4. Сохранение значений параметров в файле

Запускаем симуляцию и после некоторого времени получаем в окне Probe таблицу доступных разделов (рис. 4.5) и графики АЧХ (рис. 4.6).

| ſ | Available Sections | | | |
|---|---|-----------------------|----------|----------|
| l | ** Profile: "SCHEMATIC1-VAXNTH" [C:\Projects M | Ionte Carlo Pass 75 | 27.0 Deg | |
| L | ** Profile: "SCHEMATIC1-VAXNTH" [C:\Projects M | Aonte Carlo Pass 76 | 27.0 Deg | |
| | ** Profile: "SCHEMATIC1-VAXNTH" [C:\Projects M | Nonte Carlo Pass 77 | 27.0 Deg | |
| Ľ | ** Profile: "SCHEMATIC1-VAXNTH" [C:\Projects M | Aonte Carlo Pass 78 | 27.0 Deg | |
| | ** Profile: "SCHEMATIC1-VAXNTH" [C:\Projects M | Aonte Carlo Pass 79 | 27.0 Deg | |
| | ** Profile: "SCHEMATIC1-VAXNTH" [C:\Projects M | Aonte Carlo Pass 80 | 27.0 Deg | |
| l | ** Profile: "SCHEMATIC1-VAXNTH" [C:\Projects M | fonte Carlo Pass 81 | 27.0 Deg | |
| | ** Profile: "SCHEMATIC1-VAXNTH" [C:\Projects M | Aonte Carlo Pass 82 | 27.0 Deg | |
| | ** Profile: "SCHEMATIC1-VAXNTH" [C:\Projects M | fonte Carlo Pass 83 | 27.0 Deg | |
| | ** Profile: "SCHEMATIC1-VAXNTH" [C:\Projects M | Nonte Carlo Pass 84 | 27.0 Deg | |
| | ** Profile: "SCHEMATIC1-VAXNTH" [C:\Projects M | fonte Carlo Pass 85 | 27.0 Deg | |
| | ** Profile: "SCHEMATIC1-VAXNTH" [C:\Projects N | fonte Carlo Pass - 86 | 27.0 Deg | |
| | ** Profile: "SCHEMATIC1-VAXNTH" [C:\Projects N | Nonte Carlo Pass 87 | 27.0 Deg | = |
| | ** Profile: "SCHEMATIC1-VAXNTH" [C:\Projects N | Nonte Carlo Pass - 88 | 27.0 Deg | |
| | ** Profile: "SCHEMATIC1-VAXNTH" [C:\Projects N | Nonte Carlo Pass 89 | 27.0 Deg | |
| | ** Profile: "SCHEMATIC1-VAXNTH" [C:\Projects M | Nonte Carlo Pass 90 | 27.0 Deg | T |
| | All None | | ок | Cancel |

Рис. 4.5. Таблица доступных графиков

Выбираем все графики и получаем результаты статистического исследования (рис. 4.6).



Рис. 4.6. Набор из 100 графиков статистического исследования

Далее выберем Trace -> Performance analysis и нажмем в открывшемся окне ОК. После выберем Trace -> Add trace.., в окне слева укажем Min(1), после справа выберем V(OUT) и нажмем ОК (рис. 4.7).

| Add Traces | | |
|-------------------------------|----------------------------|---|
| Simulation Output Variables | | Functions or Macros |
| × | | Measurements |
| I(V3) I(V3;+) | 📝 Analog | Bandwidth(1,db_level) |
| V(0) V(C1:1) | Digital | Bandwidth_Bandpass_3dB_XRange(1, CenterFrequency(1,db_level) |
| V(C1:2) V(C2:1) | Voltages | CenterFrequency_XRange(1,db_level,L ConversionGain(1,2) |
| V(C2:2) V(C3:1) | Currents | ConversionGain_XRange(1,2,begin_x,e Cutoff_Highpass_3dB(1) |
| V[C3:2] V[C4:1] | Power | Cutoff_Highpass_3dB_XRange(1,begin Cutoff_Lowpass_3dB(1) |
| V[C4:2] V[N00891] | Noise (V ² /Hz) | Cutoff_Lowpass_3dB_XRange(1,begin DutyCycle(1) |
| V[N00895] | Alias Names | Falltime_NoOvershoot(1) |
| V(N02470) | Subcircuit Nodes | Failtime_StepResponse(1) Failtime_StepResponse_XRange(1,beg |
| V(81:1) V(81:2) | | MATLABFunction1(1, <matlab_function matlabfunction2(1,2,matlab_function="" matlabfunction2(1,2,matlab_function<="" td=""></matlab_function> |
| V(R2:1) V(R2:2) | | Max[1] Max XBange[1 begin v end v] |
| V(R3:1) V(R3:2) | 105 variables listed | Min(1) |
| V(R4:1) | | K |
| F UII LIST | | |
| Trace Expression (Min(V(OUT)) | | OK Cancel Help |

Рис. 4.7. Установка дополнительного анализа

Получим расширенное представление о работе фильтра в виде гистограммы распределения минимальных напряжений на выходе фильтра (рис. 4.8).



Рис. 4.8. Гистограммы распределения минимальных напряжений V(OUT)

В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

Это распределение показывает, что минимальное значение составляет примерно 0,001, что соответствет затуханию – 60 дБ. В худшем случае минимальное значение равно 0,048 или – 26 дБ.

В папке PR-8 файл с расширением .mcp можно открыть в Notepad ++ и посмотреть, как менялись значения случайных чисел, задающих точность резисторов (рис. 4.9).

| 😑 PR-8- | MCR.mcp 🛛 | | | |
|---------|--------------|--------------|--------------|--------------|
| 1 | R_R1::R | R_R2::R | R_R3::R | R_R4::R |
| 2 | 1.00000e+000 | 1.00000e+000 | 1.00000e+000 | 1.00000e+000 |
| 3 | 1.02621e+000 | 1.02978e+000 | 1.02811e+000 | 9.99336e-001 |
| 4 | 1.15876e+000 | 9.36923e-001 | 1.00617e+000 | 9.51601e-001 |
| 5 | 8.96349e-001 | 9.73983e-001 | 1.10378e+000 | 1.05628e+000 |
| 6 | 9.52714e-001 | 9.36923e-001 | 1.07625e+000 | 1.01058e+000 |
| 7 | 1.03792e+000 | 9.36963e-001 | 1.05745e+000 | 1.05628e+000 |
| 8 | 1.00390e+000 | 9.99505e-001 | 9.82503e-001 | 1.01058e+000 |
| 9 | 1.03792e+000 | 9.36963e-001 | 9.54058e-001 | 1.05628e+000 |
| 10 | 9.51054e-001 | 9.83630e-001 | 1.00221e+000 | 1.03000e+000 |
| 11 | 9.55218e-001 | 9.24218e-001 | 1.08577e+000 | 9.70069e-001 |

Рис. 4.9. Просмотр файла сохраненных значений случайных чисел для разброс резисторов

4.3. Исследование влияния точности двух видов компонентов

Введем дополнительно точность 5% в значения конденсаторов (рис. 4.10).

| | | SLOPE | TOLERANCE | VC1 | VC2 | VOLTAGE |
|---|--------------------|-------|-----------|-----|-----|---------|
| 1 | SCHEMATIC1 : PAGE1 | CSMAX | 5% | 0 | 0 | CMAX |
| 2 | SCHEMATIC1 : PAGE1 | CSMAX | 5% | 0 | 0 | ĊMAX |
| 3 | SCHEMATIC1 : PAGE1 | CSMAX | 5% | 0 | 0 | CMAX |
| 4 | SCHEMATIC1 : PAGE1 | CSMAX | 5% | 0 | 0 | CMAX |

Рис. 4.10. Установка точности конденсаторов

Повторяем моделирование по методу Монте – Карло и получаем минимальное значение выходного напряжения 0,098, что соответствует затуханию -20,175 дБ.



Рис. 4.11. Результаты моделирования в случае неточности резисторов и конденсаторов

В новом файле .mcp теперь будут значения случайных чилел, моделирующих разбросы значений резисторов и конденсаторов (рис. 4.12)

| 1 | C_C1::C | C_C2::C | C_C3::C | C_C4::C | |
|----|--------------|--------------|-------------------|-------------------|--------------|
| 2 | 1.00000e+000 | 1.00000e+000 | 1.00000e+000 | 1.00000e+000 | |
| 3 | 1.02621e+000 | 1.02978e+000 | R R1::R | R R2::R | R R3::R |
| 4 | 1.15876e+000 | 9.36923e-001 | _ 1.00000e+000 | _ 1.00000e+000 | 1.00000e+000 |
| 5 | 8.96349e-001 | 9.73983e-001 | 9.66080e-001 | 1.00437e+000 | 1.00405e+000 |
| 6 | 9.52714e-001 | 9.36923e-001 | 1.05936e+000 | 9.63318e-001 | 1.08164e+000 |
| 0 | 1.03792e+000 | 9.36963e-001 | 9.64851e-001 | 9.88920e-001 | 1.09300e+000 |
| 9 | 1.03792e+000 | 9.36963e-001 | 9.77861e-001 | 9.70941e-001 | 9.69953e-001 |
| 10 | 9.51054e-001 | 9.83630e-001 | 1.04016e+000 | 9.88920e-001 | 9.68252e-001 |
| 11 | 9.55218e-001 | 9.24218e-001 | 9.76104e-001 | 9.70941e-001 | 1.08789e+000 |
| 12 | 1.01391e+000 | 9.87342e-001 | 9.761040-001 | 1.06116e+000 | 1.000556+000 |
| 13 | 1.03859e+000 | 9.24218e-001 | 1.10057e+000 | 9.73607e-001 | 9.85141e-001 |
| | | | | | |

Рис. 4.12. Случайные числа для разброса резисторов и конденсаторов

Обратите внимание, что первая строка случайных чисел содержит только единицы и соответствует точным значениям резисторов и конденсаторов.

4.4. Повторное использование значений случайных параметров

Повторное использование значений параметров модели из предыдущего опыта Монте-Карло позволяет ускорить моделирование и дает првторение результатов. Делаем это так:

Выбераем PSpice> Edit Simulation Profile. Выполняем установки профиля моделирования в соответствии с рис. 4.3.

Далее в окне Load/Save Monte Carlo Parameter File включаем опцию Load Parameter values from file и в папке проекта находим последний запомненный

файл случайных чисел (рис. 4.13). Нажимаем Ок. Результаты статистического моделирования будут повторяться.

| Load/Save Monte Carlo Parameter File | х | | | | | |
|---|--------|--|--|--|--|--|
| Load Parameter values from file: | | | | | | |
| C:/Projects 17.2/PR-8/PR-8-MCP.mcp Browse | | | | | | |
| Save Parameter values in file: | | | | | | |
| C:/Projects | Browse | | | | | |
| | | | | | | |
| Ok | Cancel | | | | | |
| | | | | | | |

Рис. 4.13. Загрузка файла запомненных случайных чисел

После моделирования повторятся результаты, показанные на рис. 4.11.

В окне Probe выбрав View>Output File, для каждого пуска можно просмотреть основные режимы схемы (рис. 4.14).

```
*
**** 03/11/18 12:14:41 ******* PSpice Lite (March 2016) ******* ID# 10813 ****
 ** Profile: "SCHEMATIC1-VAXNTH" [ C:\Projects 17.2\PR-8\pr-8-pspicefiles\schematic1\vaxnth.sim ]
           SMALL SIGNAL BIAS SOLUTION
                                                 TEMPERATURE = 27.000 DEG C
                    MONTE CARLO PASS 12
 NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE
( OUT)-111.5E-06 ( VCC) 15.0000 ( VSS) -15.0000 (N00891) 192.1E-09
(N00895)-111.5E-06 (N00899) 412.2E-09 (N00903) 0.0000 (N02470)-88.84E-06
(X_U1A.6) 1.751E-09
                                         (X_U1A.7)-111.5E-06

    (X_U1A.8)-111.5E-06
    (X_U1A.9)
    0.0000

    (X_U1A.10)
    .7970
    (X_U1A.11)
    14.8560

    VOLTAGE SOURCE CURRENTS
    NAME CURRENT

    V_V1
    -2.152E-04

    V_V2
    2.150E-04

    V_V3
    2.065E-11

    X_U1A.vb
    1.751E-14

    X_U1A.vc
    1.300E-11

    X_U1A.ve
    1.478E-11

    X_U1A.vlm
    -1.500E-11

    X_U1A.vln
    -1.500E-11

    TOTAL POWER DISSIPATION 6.45E-03 WATTS
-
**** 03/11/18 12:14:41 ******* PSpice Lite (March 2016) ******* ID# 10813 ****
 ** Profile: "SCHEMATIC1-VAXNTH" [ C:\Projects 17.2\PR-8\pr-8-pspicefiles\schematic1\vaxnth.sim ]
          SMALL SIGNAL BIAS SOLUTION
                                                 TEMPERATURE = 27.000 DEG C
 ****
```



4.5. Создание гистограмм

Файл данных может стать довольно большим при запуске метода Monte – Карло, поэтому, чтобы посмотреть только выход фильтра, вы устанавливаете маркер напряжения на выходе фильтра.

Для сбора данных только для отмеченного узла делаем сделующее:

1. В меню PSpice выберите Edit Simulation Profile и на вкладке Data Collection установите только Voltages>At Markers Only. Остальные данные не будут вычисляться. Нажмите «ОК» (рис. 4.15).

| Simulation S | Settings - vaxnt | h | | - 8, 1 | 145. | 100 | × |
|-------------------------------------|------------------|---------------------|---------|-----------------|--------------|-------|------|
| General | Analysis | Configuration Files | Options | Data Collection | Probe Window | 1 | |
| Data Collection Options | | | | | | | |
| | Voltages | At Markers Only | | | | | • |
| | Current | None | | | | | • |
| | Power | None | | | | | • |
| | Digital | At Markers Only | | | | | T |
| | Noise | None | | | | | - |
| Probe Dat | ta: () 32- | bit 🍥 6 | 4-bit | | | | |
| Save data in the CSDF format (.CSD) | | | | | | | |
| | | | | | | | |
| | | | ОК | Cancel | Apply | Reset | Help |

Рис. 4.15. Сбор данных только напряжений с маркеров

Количество секций гистограммы можно установить, выбрав Tools>Options>Probe Setting (рис. 4.16).

| Probe Settings | | | X | | | |
|--|-----------------------|----------------|------------------------|--|--|--|
| General Large Data File | Cursor Settings | Color Settings | Font Settings | | | |
| Use Symbols Trace Color Scheme Mark Data Points Properties Mark Data Points Normal Never Match Axis | | | | | | |
| Always | Sequential | Per Axis | Display Statistics | | | |
| | O Unique By File | | Highlight Error States | | | |
| Use ScrollBars | Auto-Update Intervals | | | | | |
| Auto | Auto | | | | | |
| Never | | sec | | | | |
| Always | Every 10 |) % | | | | |
| 20 Number of Histogram Divisions 1 Default Trace Width | | | | | | |
| | ОК | Отмена | Reset | | | |

В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

Рис. 4.16. Установка количества секций гистограммы

Для создания диаграммы надо в окне Probe выбрать Trace>Performance Analysis. После появления нового окна для гистограммы выполните Add Trace и проведите установки, показанные на рис. 4.7.

Результаты моделирования и гистограммы можно размещать в разных окнах (рис. 4.17).



Рис. 4.17. Представление результатов статистического моделирования

4.6. Контрольные вопросы

1. Поясните сущность метода Монте – Карло и цели его применения.

2. Как устанавливают точность пераметров компонентов схемы?

3. Как устанавливают профилт моделирования в методе Монте – Карло ?

4. Как выполняют постобрадотку и дополнительный анализ результатов статистического исследования ?

5. Как сохранить значения случайных чисел после моделирования и повторно использовать их ?

6. Как отобразить результаты исследования на гистограммах ?

Глава 5. Анализ наихудшего случая

5.1. Функции сравнения для наихудшего случая

Анализ худшего случая (Worst Case Analysis) используется для идентификации наиболее важных компонентов, которые будут влиять на работу и характеристики цепи. Первоначально анализ чувствительности выполняется на каждом отдельном компоненте, которому присвоен допуск. Значение компонента устремляют к обоим пределам его допуска с небольшим процентом от его максимального значения, чтобы увидеть, какой предел будет иметь большее влияние на работу в худшем случае. Анализ наихудшего конкретного случая затем выполняется путём установки всех значений компонентов к их пределам допуска, которые показали худшие результаты работы. Для того, чтобы уменьшить количество запусков моделирования, используют функции сравнения для обнаружения отличий худшего случая на выходе от номинального режима (оценивают минимальное, максимальное или пороговое различия).

Как и в методе Монте-Карло, функции сравнения обнаруживают и сравнивают результат отклика схемы с заданными параметрами. Есть пять функций, которые могут определить худший случай:

YMAX находит в каждом сигнале наибольшее расстояние в направлении У от номинального прогона;

МАХ находит максимальное значение каждого сигнала;

MIN находит минимальное значение каждого сигнала;

RISE_EDGE находит первый случай превышения сигналом порогового значения. Функция предполагает, что будет по крайней мере одна точка, которая лежит ниже указанного значения и эта точка будет следовать после превышения.

FALL_EDGE находит первое снижение сигнала ниже порогового значения. Функция предполагает, что будет по крайней мере одна точка, которая лежит выше указанного значения и эта точка будет следовать после нижней точки.

5.2. Анализ смещения частоты режекции в заграждающем фильтре

Создадим папку PR-9 и новый проект на основе проекта PR-5.

Выделим резисторы R1 – R4 и в свойствах установим их точность 5%.

Отредактируем профиль моделирования. Первичную развертку по частоте установим как и ранее в соответствии с рис. 3.17.

Вы можете определить модели почти для всех примитивных аналоговых компонентов схемы, таких как резисторы, конденсаторы, катушки индуктивности и полупроводниковые приборы. Для каждой модели PSpice использует номинальное, минимальное и максимальное вероятные значения, спецификаторы DEV/LOT; тип распределения вероятности (например, «равномерное» или «гауссово») игнорируется.

Критерий определения наихудших значений параметров для соответствующей модели определены в операторе WC как функция любой стандартной выходной переменной в заданном диапазоне развертки. Надо выбрать одну из этих пяти функций сортировки.

Вы можете определить худшее по наивысшему (HI) или самому низкому (LO) возможному значению параметров функция сопоставления относительно номинального значения.

Установим опцию Monte Carlo/Worst Case и выполняем установки, показанные на рис. 5.1. Установка DEV and LOT означает, что точности резисторов в устройстве и партии резисторов одинаковые.

| Simulation Settings - vaxnth | × | | |
|--------------------------------------|--|--|--|
| General Analysis Configura | tion Files Options Data Collection Probe Window | | |
| Analysis Type: AC Sweep/Noise | Monte Carlo Enable PSpice AA support in legacy Worst-case/Sensitivity Output Variable: | | |
| Options: | Monte Carlo Options | | |
| General Settings | Number of runs: | | |
| Monte Carlo/Worst Case | Use Distribution: Uniform 💌 Distributions | | |
| Parametric Sweep | Random number seed: [1.32767] | | |
| Temperature (Sweep) | Save Data From: All 💌 runs | | |
| Save Bias Point | Worst-case/Sensitivity Options | | |
| Load Bias Point | Vary Device that have both DEV and LOT volerances | | |
| | Limit devices to type(s) | | |
| | Save data from each sensitivity run | | |
| | MC Load Save More Settings | | |
| | | | |
| | OK Cancel Apply Reset Help | | |

Рис. 5.1. Установки для поиска отклонения по частоте

Далее выбираем дополнительные установка (More Settings) и устанавливаем поиск минимального значения в направлении снижения (рис. 5.2): В окне Find можно выбрать одну их пяти функций, определяющих худший случай. Поиск худшего случая сначала будем вести при отклонении параметров в сторону умеьшения (Low).

| Collating Function | Ok |
|---|--------|
| The collating function is performed on an output variable (for example, V(1)). The result is listed in the output (.OUT) file only. | Cancel |
| Find the minimum value (MIN) | |
| Threshold Value | |
| Evaluate only when the sweep variable is in the range | |
| 🔻 to 👻 | |
| Worst-Case direction | |
| | |
| List model parameter values in the output file of each run | |

Рис. 5.2. Установка параметров поиска худшего случая

В настройках Options устанавливаем отображение выходного файла (рис. 5.3) и проверяем основные настройки аналогового моделирования (рис. 5.4).

| Simulation Settings - vaxnth | | | × |
|---|--|------------------------------|------------|
| General Analysis Configuration | Files Options I | Data Collection Probe Window | 1 |
| Analog Simulation General Auto Converge MOSFET Option Analog Advanced General Bias Point Transient Gate Level Simulation General Advanced General | NODE NOECHO NOMODE NOOUTMSG NOPAGE OPTS NUMDG WIDTH | 4 4 80 80 es | |
| | ОК | Cancel Apply | Reset Help |

Рис. 5.3. Установка отображения выходного файла

| eneral Analysis Configurati | on Files Options Dat | a Collection Probe W | indow |
|-----------------------------|----------------------|----------------------|---------------|
| Analog Simulation | Name | Value | Default Value |
| General Auto Converso | SPEED_LEVEL | 3 🗸 | 3 |
| MOSFET Option | RELTOL | 0.001 | 0.001 |
| Analog Advanced | VNTOL | 1.0u | 1.0u |
| General | ABSTOL | 1.0p | 1.0p |
| Bias Point | CHGTOL | 0.01p | 0.01p |
| Gate Level Simulation | GMIN | 1.0E-12 | 1.0E-12 |
| General | ITL1 | 150 | 150 |
| Advanced | ITL2 | 20 | 20 |
| General | | 1 | |

Рис. 5.4. Проверка настроек аналогового моделирования

После этого нажимаем RUN, получаем два доступных решения (рис. 5.5) и открываем графики АЧХ (Рис. 5.6).

| 1 | Available Sections | |
|---|--|--|
| | ** Profile: "SCHEMATIC1-VAXNTH" [C:\Projects ** Profile: "SCHEMATIC1-VAXNTH" [C:\Projects | Sensitivity NOMINAL 27.0 Deg Worst Case WORST CASE ALL DEVICES 27.0 Deg |
| | All None | OK Cancel |

Рис. 5.5. Доступные решения поиска худшего случая.



Рис. 5.6. Графики АЧХ заграждающего фильтра

Левый график с частотой режекции 723,848 Гц соответствует номинальным параметрам фильтра без разброса значений резисторов.

Правый график с частотой режекции 759,740 Гц соответствует худшему случаю. Отклонение частоты режекции от номинальной составляет 35,89 Гц.

Дополнительно введём разброс параметров конденсаторов 5% и повторим моделирование. Полученные графики номинального и худшего случая показаны на рис. 5.7.



Рис. 5.7. Графики АЧХ для точности резисторов и конденсаторов 5% и отклонении в сторону уменьшения

Теперь частота режекции для худшего случая увеличилась до 801,409 Гц. Отклонение от номинальной частоты составляет 74,56 Гц.

Рекомендации как улучшить устройство содержатся в выходном файле Output File (рис. 5.8).

Результаты анализа чувствительности печатаются в выходном файле (.OUT). Для каждого измененного параметра показано процентное изменение в функции сортировки и значения переменной развертки, при которой функции сортировки были измерены. Параметры указаны для наихудшего запуска. Например, функция сортировки была наихудшей, когда первый параметр, напечатанный в списке был изменен.

Когда вы используете функцию сортировки YMAX, выходной файл также перечисляет среднее значение отклонения и среднеквадратическое отклонение «сигма». Они основаны на изменениях в выходной переменной от номинального значения в каждой точке развертки для каждой оценки чувствительности.

5.3. Оптимизация схемы по результатам анализа худшего случая

Вы можете использовать анализ наихудшего случая для выполнения ручной оптимизации с PSpice. Условие монотонности обычно выполняется, если параметры имеют очень ограниченный диапазон. Выполнение анализа наихудшего случая с жесткими допусками на параметры выдают в выходном файле чувствительность и наихудшие результаты. Вы можете использовать их для определения того, как должны быть изменены параметры для достижения желаемого ответа. Затем вы можете сделать корректировки номинальных значений в файле схемы и выполнить моделирования худшего случая для нового набора градиентов.



В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

Рис. 5.8. Выходной файл

В выходном файле рекомендовано уменьшить номиналы резисторов и конденсаторов на 5%. Выполним это и повторим моделирование. Теперь в худшем случае отклонение частоты режекции от номинальной составляет 71,75 Гц (рис. 5.8).



Рис. 5.8. Графики АЧХ для измененных параметров резисторов и конденсаторов

Для номинальных значаний резисторов и конденсаторов выполним поиск худшего случая, если отклонения параметров происходят в сторону увеличения (рис. 5.9). Частота режекции уменьшится до 656,052 Гц, а отклонение от номинала составит 67,796 Гц.



Рис. 5.9. Графики АЧХ для точности резисторов и конденсаторов 5% и отклонении в сторону увеличения

Анализ Монте-Карло (.МС) может быть полезен, когда нельзя использовать анализ наихудшего случая. Анализ Монте-Карло часто можно использовать для проверки или улучшения результатов анализа наихудшего случая.

Анализ Монте-Карло случайным образом выбирает возможные значения параметров, которые можно рассматривать как случайный выбор точек в пространстве параметров. В худшем случае предполагается, что наихудшие результаты где-то на поверхности этого пространства, и параметры (к которым чувствителен выход) находятся в одном из своих экстремальных значений.

Если это не так, то анализ Монте-Карло может найти точку, в которой результаты хуже. Чтобы попробовать это, замените .WC в файле профиля моделирования схемы на .MC <#runs>, где <#runs> - это количество симуляций, которые вы хотите выполнять. Больше трасс обеспечивает более высокое доверие к результатам.

5.4. Контрольные вопросы

1. Для чего применяют анализ наихудшего случая и как его выполняют ?

2. По каким функциям определяют наихудший случай в OrCAD ?

3. Какие установки в профиле моделирования надо сделать для анализа худшего случая ?

4. Какие оценки худшего случая можно получить для заграждающего фильтра при отклонении параметров компонентов ?

В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

5. Как выполнить оптимизацию схемы по результатам анализа худшего случая ?

Глава 6. Электрические цепи с магнитной связью 6.1. Краткие теоретические сведения и расчет простых неразветвленных цепей

Катушки называют магнитно-связанными, если они имеют общее магнитное поле и взаимно влияют друг на друга. При изменении тока в одной катушке за счет изменения общего магнитного поля во второй катушке наводится напряжение взаимной индукции.

На рис. 6.1 катушки индуктивности L_1 и L_2 магнитно-связанные. На схеме это обозначается стрелкой с указанием взаимной индуктивности катушек M_{21} . Взаимная индуктивность M_{21} является коэффициентом пропорциональности между напряжением взаимной индукции, наводимым во второй катушке, и

производной тока в первой катушке: $u_{2M}(t) = M_{21} \frac{di_1}{dt}$. Знак наводимого напря-

жения зависит от направления намотки катушек и направления токов в них. Если магнитные поля, создаваемые токами в катушках, складываются, такое включение катушек называют согласным и напряжения самоиндукции и взаимной индукции складываются. Если магнитные поля катушек вычитаются, включение катушек называют встречным и напряжения самоиндукции и взаимной индукции вычитаются. В электрических схемах у магнитно-связанных катушек обозначают «Одноименные зажимы», маркируя их звездочками или кружочками. Если токи в катушках одинаково направлены относительно одноименных зажимов, включение является согласным. Если токи в катушках направлены неодинаково относительно одноименных зажимов, включение является встречным. В линейных электрических цепях по принципу взаимности $M_{21}=M_{12}=M$. Коэффициент M называют взаимной индуктивностью катушек.



Рис. 6.1а. Согласное включение катушек

Рис. 6.1б. Встречное включение катушек

В схеме рис. 6.1а катушки включены согласно. Составим уравнение по второму закону Кирхгофа:

$$e(t) = u_{L_1} + u_{L_2} = L_1 \frac{di}{dt} + M \frac{di}{dt} + L_2 \frac{di}{dt} + M \frac{di}{dt} =$$

В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

$$L_1 \frac{di}{dt} + L_2 \frac{di}{dt} + 2M \frac{di}{dt}$$

В символической форме получим уравнение:

Для встречного включения (Рис.3.1б):

$$\begin{split} \underline{E}_m &= j \omega L_1 \underline{I}_m + j \omega L_2 \underline{I}_m - 2 \, j M \underline{I}_m = j \omega L_{\textrm{экв}} \underline{I}_m \\ \textrm{ и } L_{\textrm{экв}} &= L_1 + L_2 - 2M \; . \end{split}$$

6.2. Компьютерное моделирование воздушного трансформатора

1. Создаем новый проект PR-10, размещенный в папке C:\Project-17-2\PR-10 с использованием PSpice Analog and Mixed A/D моделирования на основе проекта simple.opj.

2. Собираем схему с источником синусоидального сигнала и катушками из меню Place>PSpice Components.

Воздушный трансформатор реализуется посредством магнитно - связанных двух или более катушек. Для трансформаторов с воздушным сердечником используется устройство связи K_Linear из аналоговой библиотеки.

На рис. 6.2 показана схема воздушного трансфломатора. В ней использован источник тока ISIN из библиотеки Sources. Значение частоты F=155.155 Гц соответсвует угловой частоте $\omega = 1000 \text{ pad/c}$. Амплитуда тока 1А.

Для создания связи между катушками вводим в схему компонент К_Linear. Щелкнув на поле К, в свойствах компонента устанавливаем коэффициент связи COUPLING=0,8 и вводим катушки L1 и L2, между которыми существует магнитная связь (рис. 6.3).

В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

141



Рис. 6.2. Схема модели воздушного трансформатора

| New Property Apply | Display Delete Property | Pivot Filter by: | Filter by: Capture PSpice | | | |
|----------------------|-------------------------|------------------|---------------------------|----------|--------|----|
| | | | | \frown | \sim | |
| | Value | RES | ratio | COUPLING | (11) | |
| 1 SCHEMATIC1 : PAGE1 | K_Linear | | | 0.8 | 5 | 12 |

Рис. 6.3. Установка связи между катушками

Для того, чтобы отобразить на схеме катушки, между которыми установлена связь, в свойствах компонента K_Linear выберите L1 или L2 и в окне Display Properties установите Name Only в Display Format (рис. 6.4)

| Display Properties | x |
|--|--|
| Name: L2 | Font Arial 7 |
| Value: L2 | Change Use Default |
| Display Format Do Not Display Value Only Name and Value Name Only Both if Value Exists Value if Value Exists | Color Default Rotation 0° 180° 90° 270° Text lust feature |
| ОК | Default Cancel Help |

Рис. 6.4. Установка отображения катушек на схеме

Нажмите Apply и закройте окно свойств компонента.

В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

142

Установим профиль моделирования (рис. 6.5) и выполняем моделирование.

| Simulation Settings - pr-1 | 10 |
|--------------------------------------|--|
| General Analysis | Configuration Files Options Data Collection Probe Window |
| Analysis Type: | Run To Time : 20ms seconds (TSTOP) |
| Options: | Start saving data after : 0 seconds |
| General Settings | Transient options: Maximum Step Size (10us) seconds |
| Monte Carlo/Worst | Case |
| Parametric Sweep | Skip initial transient bias point calculation (SKIPBP) |
| Temperature (Sweet) | ep) |
| Save Bias Point | Run in resume mode Output File Options |

Рис. 6.5. Установка профиля моделирования

Входное напряжение на трансформаторе показано на рис. 6.6. Амплитуда напряжения составляет 10,536 В.



Рис. 6.6. Входное напряжение на трансформаторе

Выполния проверку моделирования. Коэффициент связи $k = \frac{M}{\sqrt{L_1 L_2}} = 0,8$. Следовательно:

$$M = 0.8 \cdot \sqrt{L_1 L_2} = 0.8 \cdot \sqrt{8 \cdot 10^{-6}} = 2.26 \cdot 10^{-3} = 2.26 \, \text{MGH}.$$

Эквивалентная индуктивность при согласном включении: $I = I + I + 2M = 10.52 + \Gamma_{cl}$

 $L_{\rm 3kg} = L_{\rm 1} + L_{\rm 2} + 2M = 10,53 {\rm MGH}.$

Амплитуда напряжения на входе воздушного трансформатора:

$$U_m = \omega L_{3\kappa \theta} I_m = 10,53B.$$

Как видим, расчет совпадает с моделированием.

6.3. Связанные колебательные контуры

Важным примером радиотехнических цепей с магнитной связью являются связанные колебательные контуры.

Обобщенная схема связанных контуров показана на рис. 6.7. Первичный контур подключен к источнику напряжения с малым внутренним сопротивлением. Вторичный контур индуктивно связан с первичным контуром. Взаимная индуктивность M может изменяться поворотом одной из катушек. Рассмотрим наиболее важный случай идентичных связанных контуров. Они должны иметь одинаковые собственные резонансные частоты и одинаковые добротности (рис. 6.7). Связь между контурами характеризуется коэффициентом связи k и фактором связи A.



Рис. 6.7. Схема связанных контуров

Расчетные формулы:

Резонансные частоты :
$$\omega_0 = \frac{1}{\sqrt{L_1 C_1}} = \frac{1}{\sqrt{L_2 C_2}},$$

Добротности : $Q = \frac{\sqrt{\frac{L_1}{C_1}}}{R_1} = \frac{\sqrt{\frac{L_2}{C_2}}}{R_2},$

В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств
Коэффициент связи и фактор связи : $k = \frac{M}{\sqrt{L_1 L_2}}, A = kQ$.

Форма резонансных характеристик первичного тока I_1 и вторичного тока I_2 , а также избирательность системы связанных контуров зависят от фактора связи A. Для вторичного тока АЧХ рассчитывают через фактор связи A и обобщенную расстройку ξ по формуле:

$$\frac{I_2(f)}{I_{2mm}} = \frac{2A}{\sqrt{(1+A^2-\xi^2)^2+4\xi^2}}, \text{где } \xi = Q(f/f_0-f_0/f)$$

В этой формуле $I_{2mm} = \frac{E}{2\sqrt{R_1 \cdot R_2}}$ - наибольшее значение тока во вто-

ричном контуре (максимум-максиморум).

Полосу пропускания идентичных связанных контуров рассчитывают по формулам:

для слабой связи (A<1):
$$\Pi = \frac{f_0}{Q} \sqrt{A^2 - 1 + \sqrt{2(1 + A^4)}}$$
;
для сильной связи (A>1): $\Pi = \frac{f_0}{Q} \sqrt{A^2 + 2A - 1}$.

Создадим новый проект PR-11 и собирем схему модели колебательных контуров рис. 6.8. В модели использован источник синусоидального напряжения из меню PSpice Components, номиналы катушек, емкостей и резисторов подобраны так, чтобы резонансная частота равнялась 10 кГц, а добротность Q = 100.

Связь между катушками создается компонентом K_Linear.

Для многовариантного анализа устанавливаем COUPLING={ratio}. Из меню Place>Part>Analog выбираем компонент PARAM. В свойствах компонента PARAM выбираем New Properties и устанавливаем ratio со значением 0.01 (рис. 6.9). Далее щелкнем на поле и проверим установку {ratio} в строке COUPLING.

Эксперименты проведем для значений фактора связи A, равного 0,5; 1; 1,5; 2; 2,5. Для этого глобальный параметр ratio должен изменяться от 0,005 до 0,025 с шагом 0,005.

Устанавливаем вторичную развертку по параметру ratio (рис. 6.10).

Выполняем моделирование и получаем классические резонансные кривые идентичных связанных контуров (рис. 6.11).





| Start Page 🔝 PR-11* | * 🛐 PAGE1* 50 | HEMATI* | | | |
|--------------------------------|-----------------------------------|----------------|------------|--------------------|----------------------|
| New Property Apply D | isplay Delete Property | Pivot F | Filter by: | Capture PSpice | • |
| | | | | | |
| | Reference | Value | | RE | S |
| SCHEMATIC1 : PAGE1 | 1 | PARAM | | | |
| Add New Property | | × | _ | | A |
| | | | | | E SCHEMATIC1 : PAGE |
| Mana | | | | Implementation | |
| Ndine. | | | Im | plementation Type | PSpice Model |
| ratio | | | | IO_LEVEL | |
| | | | | IOMODEL | |
| | | | | MNTYMXDLY | |
| Value: | | | | Name | INS1054 |
| 0.01 | | | | Part Reference | K1 |
| | | | | Source Library | C:\CADENCE\SPB_17.2 |
| | | | | Source Package | K_Linear |
| Display [ON/OFF] | | | | PSpiceTemplate | Kn^@REFDES L^@L1 ?L2 |
| | | | | PSpiceOnly | E |
| Enter a name and click Apple | or OK to add a column/row tr | o the | | Reference | |
| property editor and optionally | the current filter (but not the (| Current | | Value | K ear |
| properties; filter] | are current liker (but not the t | canon | | RES | |
| properces/ nicer). | | | | ratio | |
| Managemention will be added to | | have a combine | | COUPLING | {ratio} |
| No properties will be added to | o selected objects until you en | (er a value | | L1 | L1 |
| nere or in the newly created | cells in the property editor spre | adsneet. | | L2 | L2 |
| | | | | LJ | |
| Always show this column/ | row in this filter | | | L4 | |
| | | | | LO | |
| Applu OK | Cancel | Halp | 1.00 | L0 | 200 |
| whhite OK | Cancer | Help | | ation X Coordinate | 230 |
| | | | | Source Part | K Linear Normal |
| | | | | oouroo run | |

Рис. 6.9. Установка многовариантного анализа

В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

146

| General Analysis Configu | ration Files Options Data Collection Probe Window |
|--------------------------------------|---|
| Analysis Type: | Sweep Variable |
| AC Sweep/Noise | OVoltage source Name: |
| Options: | ○ Current source Model type: |
| General Settings | Global parameter Model name: |
| Monte Carlo/Worst Case | Model parameter Parameter name: |
| Parametric Sweep | ─ Temperature |
| Temperature (Sweep) | Sweep Type |
| Save Bias Point | Start Value: 0.005 |
| Load Bias Point | Linear End Value: 0.025 |
| | ⊙Logarithmic Decade ▼ Increment: 0.005 |
| | ⊙ Value List |
| | |
| | |

Рис. 6.10. Установка вторичной развертки по параметру ratio



Рис. 6.11. Резонансные кривые связанных контуров

6.4. Нелинейные трансформаторы с магнитными сердечниками

Магнитный сердечник представляет собой кусок магнитного материала с высокой проницаемостью, используемый для ограничения и направления пото-

ков магнитного поля в электрических и электромеханических устройствах, таких как электромагниты, трансформаторы, электродвигатели и индукторы. Магнитное поле может быть создано катушкой из провода, намотанного вокруг сердечника, в котором проходит электрический ток. Наличие сердечника может значительно увеличить магнитное поле катушки по сравнению с тем, что было бы без сердечника. Существует множество моделей PSpice для магнитных сердечников. Можно использовать нелинейный магнитный сердечник для сборки. Например, индуктивность и кривая BH могут быть построены в окне Probe PSpice. PSpice-модель ядра может быть легко модифицирована, и кривая BH (магнитная индукция – напряженность магнитного поля) также может быть построена с использованием Редактора моделей.

На рисунке 6.12 показана схема для нелинейного трансформатора, созданного с использованием трех катушек L1, L2 и L3 с указанным числом витков. Опорные обозначения L1, L2 и L3, добавляются в устройство К в редакторе свойств и отображаются на схеме чтобы указать, какие катушки составляют трансформатор (рис. 6.13). Стандартное соединение К устройства позволяют подключать до шести индукторов. Модели изготовителей магнитных сердечников находятся в магнитной библиотеке. В этом примере используется магнитный сердечник E13_6_6_3C81, название которого вводят в свойствах устройства K, выбрав фильтр Capture PSpice.



В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

| | New Property Apply | isplay) Delete Property | Pivot Filter by: | Capture PSpice | | • |
|---|--------------------|-------------------------|------------------|----------------|----|---|
| | | | | | | |
| | | COUPLING | L1 | L2 | L3 | |
| 1 | SCHEMATIC1 : PAGE1 | 0.99 | L1 | L2 | L3 | |

| Рис. 6.12. | Молель с | нелинейным | трансо | bo | рмато | ром |
|-------------|----------|------------|--------|-----|--------|-----|
| I MC. 0.12. | подель с | | ipuno | PV. | pmaro. | pom |

Рис. 6.13. Установка параметров нелинейного трансформатора

На рис. 6.13 показаны результаты измерения напряжений на двух выходных катушках трансформатора. Наглядно видны искажения, связанные с нелинейностью устройства.



Рис. 6.13. Напряжения на выходных катушках трансформатора

Кривую гистерезиса для магнитных сердечников можно отобразить, выбрав K device and rmb> Edit PSpice Model, которая откроет редактор модели PSpice (рис. 6.14).



Рис. 6.14. Редактор модели сердечника

В редакторе моделей будет показано текстовое описание модели. Если выбрать «View»> «Extract Model» и нажать «Yes» в окне сообщения, будет построена характеристическая кривая гистерезиса. В нижней части редактора моделей представлена таблица параметров магнитного сердечника. Для каждого сердечника имеется параметры зазора, которые могут быть указаны. Существует также таблица собственных параметров модели. На рис. 6.15 показана могистерезиса параметры кривая для магнитного дель, И сердечника E13_6_6_3C81. Отметим, что в учебной версии OrCAD Lite опция Extract Model может быть отключена.



Рис. 6.15. Параметры магнитного сердечника Е13 6 6 3С81

6.5. Экспериментальное определение гистерезисной кривой

Схема модели для определения гистерезисных кривых нелинейного магнитного сердечника показана на рис. 6.16.



Рис. 6.16. Схема моделирования гистерезисных кривых

В этой схеме L1 и K1 соединены с образованием индуктора. Нелинейный магнитный сердечник T102_66_15_3C11 поступает из библиотеки magnet.olb и является моделью Джилса – Атертона (Jiles-Atherton). Эта модель представляет собой кольцевой сердечник (тороид) и имеет значение коэффициента связи по умолчанию 1.

В PSpice коэффициент связи COUPLING должен иметь значение от -1 до +1.

Название сердечника, например. T102_66_15_3C11, определяется следующим образом:

Т тип сердечника

102_66_15 размер сердечника, здесь наружный диаметр = 102 мм, внутренний диаметр = 66 мм, высота = 15 мм. Материал сердечника 3С11.

Чтобы связать L1 с K1, откройте редактор свойств для этого магнитного сердечника и введите L1 как значение свойства первого связанного индуктора L1. Это свойство также может быть отображено в Capture schematic, если нажать Display .и установить Name and Value.

В нашем примере L1 имеет 20 витков.

По умолчанию до 6 различных индукторов (L1 - L6) можно связать с использованием нелинейного сердечника. Значение индуктивности устанавливается количеством витков. В сравнении с нелинейным магнитным сердечником, линейная связь (K_Linear) должна применяться к двум или более индукторам и значения связанным индукторов установлены в Генри. В модели (рис. 6.16) использованы 4 синусоидальных источника тока с разными значениями амплитуд и различным временем начала отображения TD.

Для построения кривой ВН в окне Probe необходимо выполнить переходный анализ. Для этого создайте профиль PSpice, установите время моделирования, например, 80 мс, максимальный шаг 100 мкс и запустите симуляцию.

Затем в пустом окне Probe выполняем Plot > Axis Setting > X Axis > Axis Variable и устанавливаем переменную H[K1] по оси X (рис. 6.17).

| X Axis Variable | | 0.0 |
|-----------------------------|------------|--------------------------------|
| Simulation Output Variables | | Functions or Macros |
| × | | Analog Operators and Functions |
| B(K1) | 🔺 🔽 Analog | # 0 |
| ((1) ((1:+) | Digital | + |
| l lít2) í | | I. |
| Trace Expression: H(K1) | | OK Cancel Help |

Рис. 6.17. Установка переменной по оси Х

Затем выполняем Trace > Add Trace и выбираем B[K1]. Полученные гистерезисные кривые показаны на рис. 6.18. Есть 4 петли, по одной для каждого из 4 разных токов, которые протекают через индуктор. В PSpice единицей для напряженности магнитного поля Н является Эрстед (Oersted), а для магнитного потока индукция В измеряется в Гауссах (Gauss).



Рис. 6.18. Гистерезисные кривые

В полной версии OrCAD 17.2 редактор моделей позволяет изменять магнитные параметры сердечников и получать нужный вид гистерезисной кривой.

6.6. Типовые трансформаторы

В библиотеках PSpice есть еще несколько трансформаторов. Линейный трансформатор TX1 (рис. 6.19) доступен в аналоговой библиотеке. Нелинейные трансформаторы, которые включают в себя центральные первичные и вторич-

ные обмотки, можно найти в библиотеке Breakout. Эти трансформаторы обладают свойствами, позволяющими вводить индуктивность, сопротивление катушки и количества витков. Дважды щелкните по трансформаторам, чтобы получить доступ к свойствам в редакторе свойств.



Рис. 6.19. Типовые трансформаторы

6.7. Контрольные вопросы

1. Какие катушки называют магнито-связанными и какими свойствами они обладают ?

2. Какой компонент используют для моделирования воздушных трансформаторов и как это делают ?

3. Что такое связанные колебательные контуры и какими свойствами они обладают ?

4. Как моделируют резонансные кривые связанных контуров при разных факторах связи ?

5. Как составляют модели для нелинейных трансформаторов с типовыми магнитными сердечниками ?

6. Как можно редактировать характеристическую кривую гистерезиса?

7. Как можно экспериментальным моделированием определить гистерезисную кривую нелинейного магнитного сердечника ? Редактор стимулов (внешних воздействий) представляет собой графический инструмент, который помогает создать аналоговые и цифровые входные сигналы для исследования переходных процессов.

С помощью редактора стимулов вы можете сформировать:

- аналоговые стимулы с синусоидальной волной, импульсом, кусочно-линейные и экспоненциальные импульсы, одночастотные формы фазомодулированных сигналов;
- цифровые стимулы, которые варьируются от простых тактов до сложных шаблонов импульсов и шинных последовательностей.

Редактор стимулов позволяет рисовать аналоговые кусочно-линейные и все цифровые стимулы, щелкнув в точках вдоль временной шкалы в местах, которые соответствуют определенным входным значениям и которые вы хотите получить на графиках переходных процессов.

7.1. Ввод и редактирование стимулов

Файл стимула содержит временные определения для аналоговых или цифровых входных сигналов. вы можете создать файл стимула:

- вручную, используя стандартный текстовый редактор, такой как Блокнот, для создания числового определения файла стимула с типичным расширением файла .STM или
- автоматически, используя редактор стимулов (который генерирует .STL расширение файла).

Не всегда требуется файл стимула. В некоторых случаях, таких как источники постоянного тока и переменного тока, вы должны использовать условный символ и установить его свойства.

Использованные в проекте стимулы хранятся в папке Stimulus Files Менеджера проектов.

Библиотека SOURCSTM включает три источника, показанные на рис. 7.1, каждый из которых обеспечивает интерфейс с определённым стимулом в Редакторе стимулов.

Создадим новый проект PR-14. Выполним Place Part и из библиотеки SOURCSTM поместим на страницу источники VSTIM, ISTIM, DigStm1 (рис. 7.1).



Рис. 7.1. Стимулы из библиотеки SOURCSTM

Когда вы впервые разместите один из источников из библиотеки SOURCSTM, то свойство его реализации (implementation=) отображается на схеме. Это свойство относится к названию стимула, который определяется в редакторе стимулов. Вы можете или ввести имя стимула на схеме, чтобы начать моделировать с этим названием, или Вам будет предложено ввести имя стимула в Редакторе стимулов уже после начала работы.

7.2. Стимулы для переходных процессов

7.2.1. Экспоненциальные источники

Экспоненциальные формы сигналов могут быть определены для напряжения или тока с использованием VSTIM или ISTIM источников, соответственно.

Установим источник напряжения VSTIM и в свойствах компонента создадим его имя **ехр** (рис. 7.2).

| | Α | Display Properties | × |
|-----------------------|----------------------|------------------------|----------------------|
| | SCHEMATIC1 : PAGE | | _ |
| Implementation | exp | Name: Value | Font |
| Implementation Type | PSpice Stimulus | | Arial 7 |
| IO_LEVEL | | Value: exp | Change Use Default |
| IOMODEL | | | Use Delauk |
| MNTYMXDLY | | Display Format | |
| Name | INS1243 | Do Not Display | Color |
| Part Reference | V1 | | Default - |
| Source Library | C:\CADENCE\SPB_17.2 | Value Uniy | |
| Source Package | VSTIM | Name and Value | Botation |
| PSpiceTemplate | V^@REFDES %+ %- ?DCI | 🔿 Name Only | ○ 0° ○ 190° |
| PSpiceOnly | TRUE//// | Both if Value Exists | ○ 0 100 |
| Reference | V1 | Value if Value Evists | 0 30 0 270 |
| Value | exp | | - Text Justification |
| RES | | 7.1 | |
| ratio | | | |
| AC | | Value = exp | |
| BiasValue Power | 0W | V1 | |
| DC | | | 1 ≥ 1 R1 |
| Location X-Coordinate | 210 S | / Implementation = exp | |
| Location Y-Coordinate | 100 | implementation exp | IK . |
| Source Part | VSTIM.Norm | | · · · · |
| STIMTYPE | ANALOG | | |

Рис. 7.2. Схема с экспоненциальным источником напряжения

Экспоненциальные формы сигнала задаются установкой параметров импульса.

Для того, чтобы запустить Редактор стимулов, выделите источник ехр, выполните щелчок правой кнопкой мыши (RMB) и в меню свойств выберите Edit PSpice Stimulus.

При запуске редактора стимулов окно New Stimulus будет выглядеть как показано на рис. 7.3. Обратите внимание, что имя файла стимула соответствует имени профиля PSpice моделирования, в данном случае PR-14.stl.

Окно New Stimulus позволяет определять аналоговые и цифровые сигналы и предлагает Вам ввести имя стимула, если вы ещё не определили имя в Capture.

156

| 1 | 5 | 7 |
|---|---|---|
| | - | |

| 🔀 Stimulus Editor - [PR-14.stl] | | | | | |
|---------------------------------|------------------------------------|----|--|--|--|
| 🌄 File | Edit Stimulus Plot View Tools Wind | эw | | | |
| |) 🖬 🖨 🔍 🤍 🖾 🗶 | | | | |
| | New Stimulus | | | | |
| | Name: | | | | |
| | Analog O EXP (exponential) | | | | |
| | C PULSE | | | | |
| | O PWL (piecewise linear) | | | | |
| | C SFFM (single-frequency FM) | | | | |
| | | | | | |
| | Digital | | | | |
| | C Clock | | | | |
| | C Signal | | | | |
| | O Bus Width: | | | | |
| | Initial Value: | | | | |
| | OK Cancel | | | | |

Рис. 7.3. Окно редактора стимулов

Вводим имя стимула ехр, выбираем аналоговый стимул EXP и нажимаем Ok. Далее устанавливаем параметры экспоненциального импульса (рис. 7.4). Эти параметры включают начальное значение, пиковое значение, задержку начала нарастания, постоянную времени фронта нарастания, задержку до спада (нарастания), постоянную времени спада (нарастания).

| | EXP Attributes | |
|---|------------------------------------|----------|
| | Name: exp | |
| | Initial value 🚺 | 4 |
| - | Peak value 10 | |
| | Rise (fall) delay (sec) 10u | |
| | Rise (fall) time constant (sec) 5u | |
| | Fall (rise) delay (sec) 40u | |
| | Fall (rise) time constant (sec) 5u | |
| | OK Cancel Apply | |
| | | у |
| | | |
| | | |
| | | |
| | | |

Рис. 7.4. Параметры экспоненциального импульса

Нажимаем Apply и Ok. Диаграмма напряжения отображается в окне Редактора стимулов. При закрытии окна редактора стимулов файл стимула должен сохраняться в проекте. Если это не произошло, надо выполнить File > Save As и указать место для сохронения (рис. 7.5).

| 😿 Save As | | | | | × |
|--------------------------|-------------|--------------------------------------|------------------|----------------------|----------|
| 🕘 🕞 – 📕 « Pro | ojects 17.2 | PR-14 PR-14-PSpiceFiles SCHEMATIC1 | 🕨 exp 🗸 🗸 | Поиск: ехр | ٩ |
| Упорядочить 🔻 | Новая па | пка | | | !≡ - () |
| Видео | * | Имя | Дата изменения | Тип | Размер |
| Документы Изображения | , | 🖏 exp | 03.04.2018 11:36 | PSpice Stimulus File | 1 КБ |
| | | | | | |
| Имя файла: | exp | (h | | | - |
| Тип фаила: | Stimulus L | ibraries (^,sti) | | | |
| | | | | | |
| 🔿 Скрыть папки | | | | Сохранить | Отмена |

Рис. 7.5. Сохранения файла стимула

Так как отображение в Редакторе стимулов происходит на черном фоне для лучшей наглядности мы выпоним моделирование, чтобы получить ту же форму импульса на светлом поле.

Для этого надо создать профиль моделирования.

7.2.2. Профили моделирования

Начиная с версии 16.3, файлы стимулов связаны с текущим активным профилем моделирования и могут быть доступны через профиль моделирования и вкладку Configuration Files. В предыдущих версиях, были отдельные вкладки для Stimulus, Library и Include Options.

Итак, в проекте создаем новый профиль моделирования под названием exp. Устанавливаем тип анализа Transient на время 100 мкс с максимальным шагом 1 мкс.

Далее на вкладке Configuration Files в категории Stimulus открываем из папки проекта файл экспоненциального стимула .\exp.stl и добавляем этот файл в профиль exp (рис. 7.6).

| Simulation S | ettings - exp | 10 11 - | | - 3, 5 | 444. | × |
|--------------------|--|---------------------|---------|-----------------|--------------|------------|
| General | Analysis | Configuration Files | Options | Data Collection | Probe Window | |
| Category: | | Filename: | | | | |
| Stimulus | | .\exp.stl | | | | Browse |
| Library Include | | Configured Files | | (| × + + |) |
| | C:\Cadence\SPB_17.2\tools\pspice\library\nomd.lib* Add as Global Add to Design Add to Profile Edit Change | | | | | |
| | | | ОК | Cancel | Apply | Reset Help |

Рис. 7.6. Добавление файла стимула в профиль моделирования

Теперь под файлами профиля моделирования вы увидите файл exp.stl (рис. 7.7).





Если вы не видите файл стимула, то вы можете искать Filename. После этого вы можете добавить файл стимула к профилю (Add to Profile).

Есть и другие опции:

- добавить в Global: все проекты будут иметь доступ к файлу стимула;

- добавить в Design: только текущий дизайн будет иметь доступ к файлу стимула.

Добавление файла стимула как Global полезно, если вы создали стандартный набор стимулов, чтобы тестировать все ваши цепи. Вы можете добавить несколько файлов стимулов и организовать порядок использования, нажав на стрелки вверх и вниз. Красный крест удаляет выбранный файл стимула. Профиль SHEMATIC – bias устанавливается автоматически и его можно удалить.

Сохраняем установленный профиль моделирования ехр и выполняем Run. В окне Probe получим форму экспоненцивльного импульса (рис. 7.8)



Рис. 7.8. Форма экспоненциального импульса

7.2.3. Импульсные источники

Сформируем импульсный сигнал для источника напряжения. В свойствах источника напряжения вводим имя pulse.

Для установки параметров импульсов выделяем источник, выбираем Edit PSpice Stimulus. Если загружен стимул с другой формой сигнала, закрываем окно, нажимаем Stimulus>New. В окне New Stimulus выбираем форму стимула, вводим имя pulse и вводим параметры импульсов (рис. 7.9).

Устанавливаем профиль моделирования pulse типа Transient на время 400 мкс с шагом 1 мкс. Добавляем в файлы конфигурации pulse как глобальный стимул и выполняем моделирование (рис. 7.9).





7.2.4. Синусоидальные сигналы

Изменим название источника напряжения на Vsin. На рис. 7.10 показаны атрибуты для синусоиды. Полное определение включает в себя атрибуты для затухающей синусоиды с фазовым углом И значением смещения. Смещение - это начальное постоянное напряжение или ток в момент времени 0 сек, амплитуда является максимальным напряжением или током, частота (Гц) - число циклов в секунду. Время задержка (s) является задержкой старта, коэффициент демпфирования (1/s) определяет экспоненциальное затухание или нарастание сигнала, угол сдвига фаз (в градусах) представляет собой фазовый угол.

Устанавливаем параметры синусоиды и сохраняем файл стимула в папке текущего проекта.

Устанавливаем профиль моделирования Transient на время 40 мс с максимальным шагом 100 мкс. Файл стимула Vsin добавляем как глобальный. Выполняем RUN и получаем на выходе синусоидальный сигнал (рис. 7.10).



Рис. 7.10. Установка параметров и результаты моделирования синусоидального

сигнала

7.2.5. Простая частотная модуляция (SFFM)

Этот источник генерирует частотно-модулированный синусоидальный сигнал, как показано (рис. 7.11), который показывает модуляцию несущей частоты. Модулированный сигнал задан формулой:

$$v(t) = V_{off} + V_{ampl} \cdot \sin\left[\left(2\pi f_c t + (\text{mod} \cdot \sin(2\pi f_m t))\right)\right],$$

где:

V_{off} - напряжение смещения;

V_{ampl} – максимальное значение напряжения;

mod- индекс модуляции;

fc- - несущая частота;

*f*_{*m*}-частота модуляции.

Установки стимула SFFM показаны на рис. 7.11.



Рис. 7.11. Установка параметров сигнала с частотной моделяцией Просмотреть все введенные в проект стимулы можно, выбрав в меню окна стимулов Stimulus > Get.

Чтобы удалить ненужные стимулы и очистить экран надо выделить ненужный и выполнить Remove (рис. 7.11).



Рис. 7.11. Удаление лишних стимулов

Для очистки экрана от графика можно подвести курсор к названию стимула и нажать Delite.

7.2.6. Кусочно-линейная аппроксимация

Кусочно-линейная (VPWL – voltage piecewise-linear) аппроксимация позволяет сделать волну напряжения или тока произвольной формы. Вы определяете оси времени и напряжения (или тока), а затем используете курсор, чтобы нарисовать форму волны.

Создаем источник Vin1 и выберем новый стимул PWL (рис. 7.12). В окне редактора стимулов открываем Plot > Axis Setting и устанавливаем масштабы отображения графика стимула по времени и напряжению.

| New Stimulus | Axis Settings |
|---|--|
| Name: Vin1 Analog © <u>E</u> XP (exponential) © <u>P</u> ULSE • <u>PWL (piecewise linear)</u> © SEFM (single-frequency FM) | Displayed Data Range Time 0s to 10ms Y Axis: 0V to 1V Extent of the Scrolling Region |
| C <u>S</u> IN (sinusoidal) Digital C <u>C</u> lock C Signal | C Auto Range C User Defined X Axis: 0 to 10ms Y Axis: 0V to 1V |
| O <u>B</u> us Width: Initial ⊻alue: | Minimum Resolution X Axis: 1ms OK Cancel |

Рис. 7.12. Установка графического ввода стимула

После этого появится курсор-карандаш, которым можно начертить кусочно-линейный график. Далее сохраним стимул и установим профиль моделирования Transient со временем моделирования до 10 мс, шагом 100мкс. В файлы конфигурации добавим стимул pwl.stl как глобальный.

После моделирования получим график стимула (рис. 7.13).



Рис. 7.13. График стимула pwl после моделирования

7.3. Контрольные вопросы

1. Что понимают под названием «стимулы» и какие стимулы можно сформироватьв OrCAD ?

2. Как выполняют ввод стимума в схему и как стимулы редактируют ?

3. Расскажите об экспоненциальных стимулах и их редактировании.

4. Как добавить файл стимула в профиль моделирования ?

5. Где отображаются файлы стимулов в менеджере проекта?

6. Какими параметорами задают импульсные источники pulse ?

7. Какими параметрами задают синусоидальные сигналы?

8. Какими параметрами задают синусоидальные сигналы с частотной модуляцией ?

9. Как создать кусочно-линейный графический сигнал произвольной формы ?

Глава 8. Анализ переходных процессов

8.1. Краткое теоретическое введение

Установившимся (стационарным) процессом называется начавшийся бесконечно давно процесс, при котором напряжения и токи в цепи остаются постоянными или изменяются по периодическому закону.

Стационарный процесс это математическая абстракция. Включения источников энергии, переключения в схемах нарушают стационарность и приводят к возникновению переходного процесса.

Переходным процессом называется неустановившийся, нестационарный процесс, возникший при переходе из одного режима работы к другому. Всякие изменения и переключения в схеме называют коммутацией. В схеме рис. 8.1 в момент t=0 происходит коммутация (в данном случае замыкание ключа). Режим работы цепи изменяется и возникает переходный процесс.



Рис. 8.1. Схема цепи с коммутирующим ключом К

Считается, что коммутация происходит мгновенно в момент времени t = 0. Момент времени, предшествующий коммутации, обозначен $t = 0_{-}$. Момент времени, следующий сразу после коммутации, обозначен $t = 0_{+}$.

До коммутации в момент $t = 0_{-}$ ток в индуктивности $i_1(0_{-}) = \frac{E}{R_1 + R_2}$. В

индуктивности накоплена магнитная энергия $W_M(0_-) = \frac{L \cdot i_1^2(0_-)}{2}$.

Энергия не может измениться мгновенно, так как мощность всегда ограничена ($P(t) = \frac{dW}{dt} \neq \infty$). Поэтому в электрических цепях с постоянной индуктивностью действует *первый закон коммутации*.

Первый закон коммутации:

Ток в индуктивности до коммутации равен току в индуктивности в начальный момент после коммутации:

$$i_L(0_-) = i_L(0_+).$$

Если при коммутации изменяется индуктивность, действует обобщенный первый закон коммутации для потокосцепления:

$$\Psi(0_{-}) = \Psi(0_{+})$$

До коммутации в момент $t = 0_{-}$ напряжение на емкости $u_{C}(0_{-}) = \frac{E \cdot R_{1}}{R_{1} + R_{2}}$.

На емкости накоплена электрическая энергия $W_{\Im}(0_{-}) = \frac{C \cdot u^2_{C}(0_{-})}{2}$. Электриче-

ская энергия также не может изменяться мгновенно. Поэтому в электрической цепи с постоянной емкостью действует *второй закон коммутации*.

Второй закон коммутации:

Напряжение на емкости до коммутации равно напряжению на емкости в начальный момент после коммутации:

$$u_C(0_-) = u_C(0_+).$$

Расчет переходных процессов основан на использовании первого и второго закона коммутации.

Если при коммутации изменяется емкость, действует обобщенный второй закон коммутации для зарядов:

$$q(0_{-}) = q(0+).$$

Переходные процессы в линейных электрических цепях описываются линейными дифференциальными уравнениями. Расчет переходных процессов в линейной электрической цепи можно выполнить несколькими методами.

В расчетах переходных процессов используют несколько видов начальных условий:

Независимые начальные условия - это значения токов через индуктивности и напряжений на емкостях, неизменяющиеся при коммутации и определяющие запас энергии в цепи $(i_{L1}...i_{Ln}, u_{C1}...u_{Cn})$.

Зависимые начальные условия - это значения остальных токов и напряжений, которые могут изменяться при коммутации $(u_{L1}, i_{C1}, u_R, i_R)$.

Докоммутационные НУ – это начальные условия при $t = 0_{-}$.

Послекоммутационные НУ- это начальные условия при $t = 0_+$.

Нулевые начальные условия – это равные нулю независимые начальные условия.

8.1.1. Классический метод расчета переходных процессов

В классическом методе переходное напряжение или ток ищут как сумму свободной и принужденной составляющей. Принужденную составляющую находят расчетом послекоммутационной цепи в установившемся принужденном режиме, когда после коммутации прошло много времени. Свободную составляющую ищут как общее решение однородного дифференциального уравнения при нулевом внешнем воздействии в виде:

$$u_{Cce}(t) = A_1 \cdot e^{p_1 t} + A_2 \cdot e^{p_2 t} + \dots$$

где $p_{1}, p_{2},...$ корни характеристического уравнения, $A_{1}, A_{2},...$ - неизвестные постоянные интегрирования. Число корней характеристического уравнения и число неизвестных постоянных интегрирования равно порядку цепи, который определяется числом независимых накопительных реактивных элементов.

Для линейных цепей первого порядка (рис. 8.2) характеристическое уравнение имеет один корень и свободная составляющая переходного процесса выражается одной экспоненциальной функцией:

$$u_{CCB}(t) = A_1 \cdot e^{p_1 t}$$



Рис. 8.2. Заряд емкости в цепи первого порядка

Постоянной времени цепи первого порядка называют $\tau = \frac{1}{|p_1|}$.

Полный переходной процесс равен сумме принужденной и свободной составляющей. Для схемы (рис. 8.2) при нулевых начальных условиях получим:

$$u_{C}(t) = u_{Cnp}(t) + u_{Cce}(t) = E - E \cdot e^{-\frac{t}{\tau}}$$

8.1.2. Переходные процессы в цепях второго порядка

На рис. 8.3 показана схема цепи второго порядка, содержащей два накопительных элемента: индуктивность и емкость. До коммутации к цепи подключен источник постоянного напряжения e(t) = E = const. Емкость заряжена до напряжения $u_C(0_-) = E$. Ток в цепи равен нулю. В момент коммутации ключ *K* переключается на перемычку и в *RLC*-цепи происходит разряд емкости. Требуется рассчитать изменение напряжения на емкости $u_C(t)$.



Рис. 8.3. Схема цепи второго порядка

Решение

1. Расчет режима до коммутации:

$$u_{C}(0_{-}) = u_{C}(0_{+}) = E_{;}$$

$$i_{L}(0_{-}) = i_{L}(0_{+}) = 0_{.}$$

2. Расчет принужденного режима.

В схеме после коммутации отсутствуют источники энергии. Вся накопленная в емкости до коммутации энергия выделится в резисторе. Поэтому:

$$u_{Cnp}(t) = 0, \ i_{Lnp}(t) = 0$$

3. Дифференциальное уравнение в послекоммутационной схеме (*t*≥0). По второму закону Кирхгофа:

$$Ri + L\frac{di}{dt} + u_C = 0$$

Подставим выражение для тока:

$$i = C \frac{du_C}{dt}$$

Получим дифференциальное уравнение для напряжения на емкости:

$$RC\frac{du_C}{dt} + LC\frac{d^2u_C}{dt^2} + u_C = 0$$

или:

$$\frac{d^2 u_C}{dt^2} + \frac{R}{L} \cdot \frac{d u_C}{dt} + \frac{1}{LC} u_C = 0$$

4. Характеристическое уравнение:

$$p^2 + \frac{R}{L}p + \frac{1}{LC} = 0$$

Обозначим $\delta = \frac{R}{2L}$, $\omega_0 = \frac{1}{\sqrt{LC}}$ - частота незатухающих колебаний.

Получим:

$$p^2 + 2\delta p + \omega_0 = 0$$

Корни характеристического уравнения:

$$p_{1,2} = -\delta \pm \sqrt{\delta^2 - {\omega_0}^2}$$

Возможны 3 случая переходного процесса в цепи второго порядка: **1-й случай** – *апериодический переходной процесс*.

В этом случае корни p_1 и p_2 – вещественные, отрицательные и разные.

Для этого должно быть: $\delta^2 - \omega_0^2 > 0$, $\delta > \omega_0$, $\frac{R}{2L} > \omega_0$,

$$R > 2\omega_0 L = 2\rho = 2\sqrt{\frac{L}{C}}$$

В *RLC*-цепи величину $\rho = \sqrt{\frac{L}{C}}$ называют характеристическим сопро-

тивлением.

В этом случае напряжение на емкости ищем в следующем виде:

$$u_{Cce}(t) = B_1 e^{p_1 t} + B_2 e^{p_2 t}.$$

Переходной процесс описывается двумя экспоненциальными функциями с действительными отрицательными и разными показателями.

Такой переходной процесс не совершает периодических колебаний и называется апериодическим.

2-й случай – критический переходной процесс.

В этом случае корни $p_1 = p_2 = -\delta$ - вещественные, отрицательные и равные.

При этом:
$$\delta = \frac{R}{2L} = \omega_0 = \frac{1}{\sqrt{LC}}, R = 2\sqrt{\frac{L}{C}} = 2\rho.$$

Решение дифференциального уравнения ищем в виде:

$$u_{Cce}(t) = (B_1 + B_2 t)e^{-\delta t}$$

С учетом начальных условий получим полное решение:

$$u_{Ccs}(t) = E(1+\delta t)e^{-\delta t} = u_C(t).$$

3-й случай – колебательный переходной процесс

Колебательный переходной процесс возникает в *RLC* - цепи с малыми потерями. Для этого должны выполняться условия:

$$\delta < \omega_0; \, \frac{R}{2L} < \frac{1}{\sqrt{LC}}; \, R < 2\rho$$

В формуле для корней: $p_{1,2} = -\delta \pm \sqrt{\delta^2 - \omega_0^2}$ подкоренное выражение $\delta^2 - \omega_0^2 < 0$ будет отрицательным. Мы получим два комплексно-сопряженных корня:

$$p_{1,2} = -\delta \pm j\sqrt{\omega_0^2 - \delta^2} = -\delta \pm j\omega_c$$

где $\omega_c = \sqrt{\omega_0^2 - \delta^2}$ - угловая частота свободных колебаний.

Решение для свободного процесса можно найти двумя способами:

1-й способ.

Ищем решение в виде:

$$u_{Cce}(t) = B_1 e^{p_1 t} + B_2 e^{p_2 t} = B_1 e^{(-\delta + j\omega_c)t} + B_2 e^{(-\delta - j\omega_c)t}$$

С учетом начальных условий проводим расчет B_1 , B_2 с комплексными числами и находим решение $u_{Ccb}(t)$.

2-й способ.

Ищем решение в виде:

$$u_{Cce}(t) = B e^{-\delta t} \sin(\omega_c t + \psi).$$

Здесь *B*; ψ – неизвестные постоянные интегрирования, которые требуется найти.

В итоге полный колебательный переходной процесс получили в виде:

$$u_{C}(t) = E \frac{\omega_{0}}{\omega_{c}} e^{-\delta t} \sin(\omega_{c} t + \psi)$$

где:
$$\psi = \operatorname{arctg} \frac{\omega_c}{\delta}$$
, .

 $\omega_0 = \sqrt{\delta^2 + \omega_c^2}$ - резонансная частота незатухающих колебаний; $\omega_{ce} = \sqrt{\omega_0^2 - \delta^2}$ - частота свободных колебаний.

8.2. Моделирование переходных процессов

Численный расчет переходных процессов в OrCAD происходит следующим образом. Переходный анализ вычисляет реакцию цепи в течение определённого периода времени, заданного пользователем. Точность анализа переходных процессов зависит от размера временных шагов, которые вместе составляют полное время моделирования и известное как Run to time или Stop time. Однако, сначала выполняется анализ режима постоянного тока для установления начальных условий по постоянному току для цепи в момент времени t= 0 сек. Затем время увеличивается на заранее определённый шаг по времени, при котором узловые напряжения и токи рассчитываются на основе начальных вычисленных значений в момент t=0 с.

Для каждого временного шага узловые напряжения и токи вычисляются и сравниваются с предыдущим по времени шагом решения на постоянном токе. Только тогда, когда разница между двумя решениями постоянного тока находится в указанном допуске (точности), анализ будет переходить к следующему внутреннему шагу по времени. Шаг по времени динамически корректируется до тех пор, пока не найдено решение в пределах допуска. Например, для медленно меняющихся сигналов, шаг по времени будет увеличиваться без значительного снижения точности расчёта, в то время как для быстрого изменения сигналов, как и в случае импульсного сигнала с быстрым ростом переднего фронта, шаг по времени будет уменьшаться, чтобы обеспечить требуемую точность. Значение максимального внутреннего шага по времени может быть задано пользователем.

Если решение не найдено, то анализ не сходится к решению и это будет сообщено программой.

Если вы добавляете начальное условие к цепи, переходный анализ будет использовать начальное условие в качестве отправной точки режима постоянного тока.

8.3. Профиль моделирования переходных процессов

1. Создадим новый проект PR-15 для моделирования цепи второго порядка по схеме рис. 8.3. Ключ следует выбрать из PSpice Component, перемещаясь по пути, показанному на рис. 8.4. В свойствах ключа установим время засыкания TCLOSE=1m, переходное время (время переключения) TTRAN = 1u, сопротивление замкнутого RCLOSED =0.01, сопротивление разомкнутого ключа ROPEN=1Meg.





На рис. 8.5 показана схема модели.



Рис. 8.5. Модель цепи второго порядка

В этой схеме в момент t =1 мс замыкается ключ U1 и происходит разряд емкости в RLC – цепи. Характеристическое сопротивление $\rho = \sqrt{\frac{L}{C}} = \sqrt{\frac{10^{-2}}{10^{-8}}} = 1 \kappa O M$. Сделаем резистор R2 переменным параметром {RES}. В профиле моделирования установим тип анализа Transient, время моделирования 3 мс с шагом 10 мкс (рис. 8.6).

| Simulation Settings - pr-15 | 20103 | |
|--|---|---|
| General Analysis Config | uration Files Options | Data Collection Probe Window |
| Analysis Type: Time Domain (Transient) Options: General Settings Monte Carlo/Worst Case Parametric Sweep Temperature (Sweep) Save Bias Point Load Bias Point | Run To Time : Start saving data after Transient options: – Maximum Step Size Skip initial transie | 3ms seconds (TSTOP) r: 0 10µs seconds ent bias point calculation (SKIPBP) ode Output File Options |
| Save Check Point Restart Simulation | ОК | Cancel Apply Reset Help |

Рис. 8.6. Установка профиля моделирования Transient

Start saving data after: - определяет время, по истечении которого собираются данные для построения графика в Probe для того, чтобы уменьшить размер файла данных.

Skip the initial transient bias point calculation: - будет отключить расчет начальной точки смещения для анализа переходных процессов.

Затем в опциях установим параметрическую развертку для глобального параметра RES и зададим для него значения 1кОм, 2кОм и 5кОм (рис. 8.7)

X Simulation Settings - pr-15 Analysis **Configuration Files** Options Data Collection Probe Window General Analysis Type: Sweep Variable Time Domain (Transient) * Oltage source Name: Options: Ourrent source Model type: 1 General Settings Global parameter Model name: Monte Carlo/Worst Case Model parameter Parameter name: RES Temperature -Parametric Sweep Sweep Type Temperature (Sweep) Start Value: Save Bias Point Linear End Value: Load Bias Point Logarithmic Decade $\overline{\mathbf{w}}$ Increment: Save Check Point Value List 1k, 2k, 5k Restart Simulation OK Cancel Apply Reset Help

Рис. 8.7. Установка параметрической развертки для резистора

Графики апериодического, критического и колебательного переходных процессов, полученные моделированием, показаны на рис. 8.8.



Рис. 8.8. Графики переходных процессов в RLC - цепи

8.4. Планирование

Планирование позволяет динамически изменять настройки моделирования для анализа переходного процесса. Например, вы можете использовать меньший размер шага в течение периодов, которые требуют большей точности, и снизить точность для периодов с меньшей активностью. Планирование может быть также применено к параметрам настройки моделирования среды исполнения RELTOL, ABSTOL, VNTOL, GMIN и ITL, которые могут быть найдены в PSpice> Simulation Profile> Options.

Вы можете заменить значение параметров командой планирования, которая определяется по формуле:

{SCHEDULE(t1,v1,t2,v2...tn,vn)}

Заметьте, что t1 всегда начинается с нуля.

Например, моделирование может быть более быстрым, если уменьшить относительную точность моделирования RELTOL от 0,001% до 0,1% в периоды

меньшей активности, указывая изменение в точности каждую миллисекунду. Запишем формат для предыдущего примера так:

{schedule(0,0.1, 1m, 0.0001, 2m,0.01, 3m,0.1)}.

Результаты моделирования на интервале 1 мс – 2 мс, будут иметь большую точность, а время моделирования будет сэкономлено на неактивных участках (рис. 8.9).



Рис. 8.9. Моделирование с планированием параметров

8.5. Контрольные точки

Контрольные точки были введены в версии 16.2, чтобы позволить Вам эффективно пометить и сохранить состояние переходного моделирования в контрольной точке и перезапустить моделирование переходного процесса из определённых контрольных точек. Это позволяет запускать симуляции на выбранных периодах времени. Это полезно, если у вас есть проблемы сходимости, и при этом вы можете запустить моделирование с определённой контрольной точки, отмеченной BO времени до появления ошибки моделирования, вместо того, чтобы запустить все моделирования с самого начала.

Контрольные точки доступны только для моделирования переходного процесса и выбираются в профиле моделирования в Analysis> Options>Save Check Points и Restart Simulation (рис. 8.10).

| Simulation Settings - pr-15 | 2 Mar + 8, 8 | X |
|---|------------------------------------|--|
| General Analysis Configura | tion Files Options Data Collection | Probe Window |
| Analysis Type: Time Domain (Transient) | Check Point Location | |
| Options: | Directories. | |
| General Settings | C:/Projects 17.2/PR-15 | |
| Monte Carlo/Worst Case | | |
| Parametric Sweep | | |
| Temperature (Sweep) | | |
| Save Bias Point | Simulation Interval | |
| Load Bias Point | 3ms | Save Checkpoint States At |
| Save Check Point | Real Time interval 0.003 | User specified time points |
| Restart Simulation | Time Points | PSpice calculated time points |
| | 1ms | |
| | | |
| | OK Cancel | Apply Reset Help |

Рис. 8.10. Сохранение контрольных точек

Контрольные точки определяются заданием интервала времени модулирования. Интервал времени моделирования измеряется в секундах и реальный интервал времени измеряется в минутах (по умолчанию) или часах. Временные точки являются конкретными моментами, когда были созданы контрольные точки. Сохраняются контрольные точки в папке проекта.

Перед тем, как перезапустить моделирование из сохранённой контрольной точки (рис. 8.11), вы можете изменить значение компонента, значения параметров, настройку вариантов моделирования, перезагрузку контрольных точек и параметры сохранения данных.

| General Analysis Configurat | ion Files Options Data Collection Probe Window | | |
|-----------------------------|--|--|--|
| Analysis Type: | Check Point Location | | |
| Options: | Directories: | | |
| General Settings | C:/Projects 17.2/PR-15 | | |
| Monte Carlo/Worst Case | | | |
| Parametric Sweep | | | |
| Temperature (Sweep) | | | |
| Save Bias Point | Restart At | | |
| Load Bias Point | Simulation Time | | |
| Save Check Point | Real Time | | |
| Restart Simulation | 0.003min - | | |
| | Save Original Dat File | | |

Рис. 8.11. Перезапуск моделирования из контрольной точки

Упражнение 8.1.

Это упражнение продемонстрирует эффект, как максимальное время шага влияет на разрешение моделирования и покажет использование команды планирования.

В предыдущем проекте PR-16 созданим новую страницу page 2 и собирем схему (рис. 8.12) с синусоидальным источником напряжения из библиотеки SOURCE.



В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств
Рис. 8.12. Схема с синусоидальным источником напряжения

1. Установим значения параметров источника, используя Edit Properties.

2. Создаём профиль моделирования PR-16-sin с типом анализа Transient и временем моделирования 10 мс. Устанавливаем маркёр напряжения, запускаем моделирование. Увидим результирующий сигнал (рис. 8.13.а) с низким разрешением.



Рис. 8.13. Сигнал с низким разрешением

3. В Probe выбираем Tools>Options и отмечаем Mark Data Points или пользуемся иконкой . На графике появляется метки контрольных точек

(рис. 8.13.б).

4. В профиле моделирования, настроим команду планирования для уменьшения времени шага в заданные моменты времени. Вы можете ввести команду планирования в окно Maximum step size непосредственно. Но из-за малого поля этого окна, рекомендуется сначала ввести команду планирования в текстовый редактор, например, Блокнот, затем скопировать и вставить в окно следующую команду (без пробелов в строке):

 ${schedule(0,0,2m,0.05m,4m,0.01m,6m,0.005m,8m,0.001m)}.$

| Simulation S | Settings - PR-1 | l6-sin | 1.00 | | - 16 | 444. | 1000 | X |
|---------------------------------------|-----------------------|---------|---------------------------|---------------------------------|---------------------|--------------------|--------------------|----|
| General | Analysis | Configu | ration Files | Options | Data Collection | Probe Window | | |
| Analysis Typ Time Doma Options: | oe: in (Transient) | - | Run To Tir Start savin | ne : g data after : | 10ms 0 | seconds seconds | (TSTOP) | |
| Generation Generation | al Settings | | Transien Maximum | t options: — I Step Size 🏾 🌔 | {schedule(0,0,2 | m,0 seconds |) | |
| Monte | Carlo/Worst C | Case | | | | | | |
| Param | etric Sweep | | Skip ir | nitial transient | bias point calculat | tion (SKIPBP) | | |
| Tempe | erature (Swee | p) | | | | | | |
| Save E | Bias Point | | Run in | resume mode | 9 | | Output File Option | 1S |
| 📃 Load E | Bias Point | | | | | | | |

Рис. 8.14. Установка планирования шага

5. Выполняем Run и видим уменьшение размера максимального шага моделирования (рис. 8.15)



Рис. 8.15. Моделирование с уменьшением шага

8.6. Формирования временных зависимостей стимула напряжения с использованием текстовых файлов

8.6.1. Кусочно-линейные стимулы с однократным повторением

Волновые формы входного напряжения задают с помощью пары координат время - напряжение, которые могут быть введены в редакторе свойств или считываются из внешнего текстового файла.

Рис. 8.16 показывает VPWL источники напряжения и тока IPWL и соответствующие зависимости времени и напряжения, которые можно в редакторе свойств. По умолчанию восемь пар значений записать время - напряжение отображаются в редакторе свойств для VPWL источников, но, как показано на рис. 8.16, может быть добавлено больше пар значений. Более эффективно И проще определить большое количество пар время - напряжение в текстовом файле.

На рис. 8.17 показаны результаты моделирования.

| | | 0 | | | | R | 1 | | | | | | | | | |
|----------------------|---------------------|-------------|----------------------|---------|---|---------------|--------|---|-----|---|---|---|---|-----|-----|----|
| | Δ | | | VIN | | <u></u> | Λ_ | - | | - | - | - | - | _ | | |
| | SCHEMATIC1 : PAG | 1ms | V | 1 | | - V \ . 11 | \sim | | | | | | | 1 | | |
| Name | INS441 | 2ms | AA | | | / | N _ | | | | | | 4 | 3 | R2 | |
| Part Reference | V1 | 2 | - VEV | | • | | | | | | | | | 2 | 1k | |
| PSpiceOnly | TRUE | July Supers | $-1 \rightarrow -1$ | | | | | | | | | | |] ` | LIX | |
| Reference | V1 | | | | | | | | | | | | | | | |
| Value Source Part | VPWL VPWI Normal | 5ms | | | | | | | | | | | | V | OU | Т |
| T1 | 0 | 01113 | | | | | | | C1 | | | | | 1. | ~~ | |
| T2 | 1ms | 6ms | | | | | | | | | | | | | | |
| T3 | 2ms | 7mc | | | | | | | | | | | | | | |
| T4 | 3ms | /1115 | I | | | | | | 11 | | | | | | | |
| T5 | 4ms | 0 | <u> </u> | | | | | | | | | | | | | ¢. |
| T6 | 5ms | | · · · 0 | · · · · | | | | | 100 | n | | | | | | |
| 17 | 6ms | 0.20 | | | | | | | | | | | | | | |
| T8 | 7ms | 0.32 | _ | | | | | | | | | | | | | |
| V1 | 0 | 0.02 | ··· 🖓 🔒 | 4 | | | | | | | | | | | | |
| V2 | 0.20 | 0.13 | ' | 1 | | | | | | | | | | | | |
| V3 | 0.32 | 0.00 | $-(\Lambda \Lambda)$ | 1 | | | | | | | | | | | | |
| V4 | 0.13 | U.20 | ーマシ | r . | | | | | | | | | | | | |
| V5 | 0.28 | 0.51 | Τ | | | | | | | | | | | | | |
| V6 | 0.51 | | · 📋 | | | | | | | | | | | | | |
| V7 | 0.55 | 0.55 | | | | | | | | | | | | | | |
| V8 | 0.41 | 0 / 1 | | | | | | | | | | | | | | |

8.16. Ввод численных значений в стимул напряжения VPLW



Рис. 8.17. Результаты моделирования со стимулом VPLW

8.6.2. Текстовые стимулы с повторением

В библиотеке SOURCE существуют другие VPWL и IPWL компоненты, которые позволяют вам сделать VPWL периодическим для ряда циклов или повторять всегда неограничено долго. Эти компоненты определяется как:

VPWL_F_RE_FOREVER VPWL_F_RE_N_TIMES VPWL_RE_FOREVER

VPWL_RE_N_TIMES IPWL_F_RE_FOREVER IPWL_F_RE_N_TIMES IPWL_RE_FOREVER IPWL_RE_N_TIMES

Например:

| V3 | VPWL_F_RE_FOREVER - кусочно-линейный, повторяющийся бесконечно |
|------------------|--|
| <pre>> </pre> | VPWL_F_RE_N_TIMES кусочно-линейный, повторяющийся n paз |

Форма сигнала задана файлом, который должен быть указан на схеме и сохранен в известном месте.

1. В проекте PR-16 на новой страцице создадим схему пикового детектора (рис. 8.20). Чтобы установить начальное условие (IC) на конденсаторе C3, подключаем компонент IC=0 из библиотеки SPECIAL. Это гарантирует, что в момент t=0, напряжение на конденсаторе равно 0 В (IC =0). Эту библиотеку также добавляем в проект.

В качестве альтернативы, вы можете дважды щёлкнуть на конденсаторе C3, и в Редакторе свойств ввести значение 0 для значения свойства IC. Это гарантирует, что в момент времени t=0, то напряжение на конденсаторе равно 0В. Если вы измените конденсатор, то вы должны помнить, что надо снова установить начальный состояние, так чтобы компонент IC всегда был виден на схеме.



Рис. 8.20. Модель пикового детектора

Рис. 8.21. Файл стимула

В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

2. В Блокноте набираем данные о форме сигнала и комментарий Stimulus Vin со знаком * (Рис. 8.21). Сохраняем файл в C:\Stimulus\PICDET\Vin.txt и вводим этот путь в схему модели источника напряжения стимула.

3. Устанавливаем маркеры, создаем новый профиль моделирования РІСДЕТ в режиме Transient на время 50 мс с шагом 100 мкс.

Проводим моделирование и получаем графики входного и выходного напряжения (рис. 8.22)



Рис. 8.22. Графики входного и выходного напряжения

4. Удалите источник VPWL_FILE и замените его на VPWL_F_RE_FOREVER из исходной библиотеки. Двойным щелчком по <FILE> введите адрес файла стимула C:\Stimulus\PICDET\Vin.txt.

6. Выполните моделирование с тем же профилем. Вы должны увидеть результат, показанный на рис. 8.23, где Vin теперь периодическая функция (повторяется вечно).



Рис. 8.23. Периодическое повторение стимула

7. Исследуем источник VPWL_F_RE_N_TIMES. Этот сигнал из библиотеки Source может повторяться N раз. В схеме указываем тот же путь к текстовому файлу. В свойствах источника устанавливаем параметр REPEAT_VALUE=3 и отображаем это на схеме. После моделирования получим графики (рис. 8.24).



Рис. 8.24. Трехкратное повторение стимула

8.7. Контрольные вопросы

1. Расскажите о понятиях установившегося и переходного процесса.

2. Расскажите о законах коммутации и основных видах начальных условий.

3. В чем сущность классического метода расчета переходных процессов ?

4. Какие случаи переходного процесса бывают в цепи второго порядка?

5. Как выполняют установку параметров ключа при моделировании переходных процессов ?

6. Как и для чего используют планирование при анализе переходных процессов ?

7. Для чего применяют контрольные точки в анализе переходных процессов ?

8. Как используют текстовые файлы для формирования кусочно-линейных стимулов ?

9. Назовите различные варианты стимулов с повторением и расскажите как их использовать.

Глава 9. Проблемы сходимости и сообщения об ошибках

PSpice использует итерационный метод Ньютона- Рафсона для расчета узловых напряжений и токов для нелинейных уравнений цепи. Алгоритм начинает работать с начального "угадывания" и выполняет итерационный процесс до тех пор, пока напряжения и токи сходятся к согласованному решению.

Шаг по времени динамически регулируется до получения решения в пределах допуска по точности.

Однако, если решение не может быть найдено, PSpice сообщит, что моделирование не удалось из-за проблемы сходимости. Есть также случаи, когда шаг по времени становится слишком мал для продолжения итерационного процесса.

Анализ точки смещения является отправной точкой для анализа переходных процессов и развертки постоянного тока.

Если возникнет проблема сходимости, то моделирование остановится и PSpice откроет окно PSpise Runtime Settings –Настройки времени выполнения (рис. 9.1). После этого вы можете изменить параметры моделирования и возобновить моделирование.

| PSpice Runtime Settin | igs | | | × |
|---|--------------------|-----------|----------|------------------------|
| | Use Original Value | Change To | , | |
| Relative accuracy of V's and I's: | 0.001 | 0.001 | (RELTOL) | ОК |
| Best accuracy of currents [amps]: | 🗹 1e-012 | 1e-012 | (ABSTOL) | OK & Resume Simulation |
| Best accuracy of voltages [volts]: | 🗹 1e-006 | 1e-006 | (VNTOL) | Cancel |
| Minimum conductance for any branch [1/ohm]: | 🗹 1e-012 | 1e-012 | (GMIN) | Cancer |
| Run to time [seconds]: | 0.01 | 0.01 | (TSTOP) | Help |
| Maximum step size [seconds]: | | | (TMAX) | |
| DC and bias "blind" iteration limit: | 150 | 150 | (ITL1) | |
| DC and bias "best guess" iteration limit: | 20 | 20 | (ITL2) | |
| Transient time point iteration limit: | 10 | 10 | (ITL4) | |

Рис. 9.1. Настройки времени выполнения

Параметры моделирования могут быть доступны также через профиль моделирования и выбора на вкладке «Options» (рис. 9.2). Напомним, что ITL – это предельное количество итераций для разных режимов моделирования.



Рис. 9.2. Установка параметров моделирования в профиле

Глава 10. Анализ технических характеристик

Анализ технических характеристик или анализ производительности (Performance Analysis) использует описание измерений, чтобы сканировать семейство кривых в режиме Probe и выдать ряд значений, основанных на проведенных измерениях. Например, после нарастания напряжения источника, подключённого к цепи RC, будет получен ряд кривых зарядки конденсатора. Запуская Performance Analysis для измерения времени нарастания фронта импульсов, будет сгенерирован ряд значений времени нарастания в виде зависимости от скорости изменения источника напряжения.

Анализ производительности - это расширенная функция в PSpice, которую вы можете использовать для сравнения характеристик семейства сигналов. Анализ производительности использует принцип команд поиска для определения функций, которые обнаруживают точки на каждой кривой в семействе.

После того, как вы определите эти функции, вы можете применить их к семейству формы сигналов и получить зависимости, которые являются функцией переменной в семействе.

PSpice включает в себя более 50 описаний измерений.

10.1. Измерение времени фронта в RC - цепи

В новом проекте PR-17 создадим модель (рис. 10.1).





Установим профиль моделирования Transient от 0 до 5 мкс и нулевое начальное значение (Skip initial transient bias point calculation (SKIPBP)). Выполним RUN и получим график переходного процесса (рис. 10.2).



Рис. 10.2. График переходного процесса в RC – цепи

В окне Probe выбираем Trace>Measurements, в списке доступных измерений выделяем Risetime_NoOvershoot (время нарастания без превышения), нажимаем View и находим смысл этого измерения (рис. 10.3). Время нарастания по определению представляет собой разность во времени между значением напряжения или тока при 10% и 90% от максимального значения. Таким образом, требуется два измерения: одно, когда напряжение (или ток) кривой составляет 10% от максимума (значение (x1), а другое измерение, когда кривая нарастает до 90% от максимума (значение (x2)).



Рис. 10.3. Выбор функции измерений

Далее в окне Probe выбираем Trace > Evaluate Measurements (оценить измерения), в правом окне выбираем Risetime_NoOvershoot, в левом V[OUT] и формируем выражение в строке Trace Expression (рис. 10.4). Нажав Ok, получим оценку времени нарастания фронта 1,03128 мкс.

| Evaluate Measurement | | |
|---|---------------------|--|
| Simulation Output Variables | | Functions or Macros |
| × | | Measurements 🔹 |
| (C1) (C1:1) (IB1) | Analog | NthPeak(1,n_occur) Overshoot(1) Overshoot XBange(1 begin x end x) |
| (R1:1) (V1) (V1:+) | Voltages | Peak(1,n_occur) Period(1) Period_XRange(1,begin_x,end_x) |
| Time V(0) | Currents | PhaseMargin(1,2) PowerDissipation_mW(1,Period) |
| V(C1:1) V(C1:2) | V Power | Pulsewidth(1) Pulsewidth XBange(1 begin y end y) |
| V(N00527) V(N00527) | Noise (V²/Hz) | Q_Bandpass(1,db_level) Q_Bandpass(1,db_level) |
| V(B1:1) V(B1:2) V(V1:+) | 🔽 Alias Names | Risetime_NoOvershoot(1) Risetime_StepResponse(1) Bisetime_StepResponse XBange(1 be |
| V(V1:-) V1(C1) V1(R1) V1(V1) V2(C1) V2(R1) V2(R1) V2(V1) W(C1) W(B1) | 25 variables listed | SettlingTime(1,SBAND_FERCENT) SettlingTime_XRange(1,SBAND_FERCENT) SlewRate_Fall(1) SlewRate_Fall_XRange(1,begin_x,end_ SlewRate_Rise_XRange(1,begin_x,end_ SlewRate_Rise_XRange(1,begin_x,end_x) |
| Full List | | |
| Trace Expression: Risetime_NoOvershoot(V(OUT)) | > | OK Cancel Help |

| Evaluate | Measurement | Value |
|----------|------------------------------|---------|
| 1 | Risetime_NoOvershoot(V(OUT)) | 1.03128 |

В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

Рис. 10.4. Оценка измерения времени нарастания фронта

10.2. Зависимость времени нарастания от параметров цепи

В этом примере показано, как использовать анализ производительности для просмотра зависимости характеристик схемы от изменяемого параметра.

Сделаем резистор R изменяемым параметром {RES} со значениями 100 Ом, 500 Ом и 1 кОм. В профиле моделирования установим дополнительно параметрическую развертку по глобальному параметру RES.

После моделирования получим три графика (рис. 10.5).



Рис. 10.5. Графики нарастания при изменении R

Будем искать зависимость времени нарастания от величины R. Для этого надо выполнить следующее:

1. В окне Probe откройте Trace> Performance Analysis (рис. 10.6).

| Performance Analysis | | | | |
|---|---|--|--|--|
| Performance Analysis allows you to see waveform (as measured by a Measurer simulation runs that have a single varia etc) changing between runs. For exam of a filter vs a capacitor value that char | e how some characteristic of a nent) varies between several ble (parameter, temperature, iple, you could plot the bandwidth nges between simulation runs. | | | |
| Multiple simulation runs are required to Each simulation is a different section in | use Performance Analysis. the data file. | | | |
| Analog sections currently selected | 3 of 3 | | | |
| Variable changing between sections | RES | | | |
| Range of changing variable | 100 to 1000 ohms | | | |
| The X axis will be RES. The Y axis will depend on the Measure | ment you use. | | | |
| If you wish, you may now select a diffe | rent set of sections. | | | |
| Choosing OK now will take you directly where you will need to use Trace/Add Measurement, or expression of Measur Analysis Trace. | into Performance Analysis, to 'manually' add your ements, to create the Performance | | | |
| Instead, you may use the Wizard to he Analysis Trace. | p you create a Performance | | | |
| OK Cancel Wizard | Help Select Sections | | | |

Рис. 10.6. Окно анализа производительности

Отметим, что элемент меню Performance Analysis доступен только в том случае, если есть файлы данных многовариантного анализа.

2. Нажмите кнопку Wizard (Мастер). На каждом шаге мастер предоставляет информацию и рекомендации (рис. 10.7). Выполняйте указания и нажмайте кнопку «Далее».

| Performance Analysis Wizard - Step 1 of 4 | Performance Analysis Wizard - Step 2 of 4 |
|--|--|
| Welcome to the Performance Analysis Wizard. It will help you create a Performance Analysis trace, by helping you choose a Measurement, and test that Measurement on one of the traces you want to characterize. Choosing Finish now will take you directly into Performance Analysis, where you will need to use Trace/Add to 'manually' add your Measurement, or expression of Measurements, to create the Performance Analysis Trace. | Choose a Measurement. Period_XRange PhaseMargin PowerDissipation_mW Pulsewidth Pulsewidth_XRange Q_Bandpass Q_Bandpass_XRange Bisetime_StepResponse Risetime_StepResponse_XRang SettingTime Measurements Risetime_StepResponse_XRang |
| Help Cancel <back next=""> Finish</back> | Help Cancel <back next=""> Finish</back> |
| Performance Analysis Wizard - Step 3 of 4 Measurement Expression Risetime_NoOvershoot(V(OUT)) Now you need to fill in the Measurement arguments. That is, you need to tell the Measurement which trace(s) to look at, and if necessary, the other numbers the Measurement needs to work. The Measurement 'Risetime_NoOvershoot' has 1 argument. Please fill it in now. Name of trace to search V(OUT) | 8 Performance Analysis Wizard - Step 4 of 4 Sometimes a trace doesn't have the characteristics you expect. Now we have tested the Measurement you have chosen on the trace from the first section. 6 If this result appears to be correct, then choose Next or Finish to display the Performance Analysis trace. Help Cancel <back next=""> Finish</back> |

Рис. 10.7. Последовательность работы с мастером анализа производительности

3. После выполнения четвертого этапа нажмите Finish.

Вы получите график зависимости времени нарастания от параметра резистора R и графики переходных процессов для каждого значения параметра (рис. 10.8).





PSpice включает в себя более 50 описаний функций измерений, которые перечислены в скрин-шоте (рис.10.9).



Min XRange(1, begin x, end x) Nth_Duty_cycle(1,n_occur) NthPeak(1,n_occur) Overshoot(1) Overshoot_XRange(1,begin_x,end_x) Peak(1,n_occur) Period(1) Period_XRange(1,begin_x,end_x) PhaseMargin(1,2) PowerDissipation_mW(1,Period) Pulsewidth(1) Pulsewidth_XRange(1,begin_x,end_x) Q_Bandpass(1,db_level) Q_Bandpass_XRange(1,db_level,begir Risetime_NoOvershoot(1) Risetime_StepResponse(1) Risetime_StepResponse_XRange(1,be SettlingTime(1,SBAND_PERCENT) SettlingTime_XRange(1,SBAND_PERC SlewRate Fall(1) SlewRate_Fall_XRange(1,begin_x,end SlewRate Rise(1)

Risetime_NoOvershoot(1) Risetime_StepResponse(1) Risetime_StepResponse_XRange(1,be SettlingTime(1,SBAND_PERCENT) SettlingTime_XRange(1,SBAND_PERC SlewRate_Fall(1) SlewRate_Fall_XRange(1,begin_x,end_ SlewRate_Rise(1) SlewRate_Rise_XRange(1,begin_x,end Swing_XRange(1,begin_x,end_x) XatMaxY(1) XatMinY(1) XatNthY(1,Y_value,n_occur) XatNthY_NegativeSlope(1,Y_value,n_c XatNthY_PercentYRange(1,Y_pct,n_o(XatNthY_PositiveSlope(1,Y_value,n_oc YatFirstX(1) YatLastX(1) YatX(1,X_value) YatX_PercentXRange(1X_pct) ZeroCross(1) ZeroCross_XRange(1,begin_x,end_x)

Рис. 10.9. Функции измерений

10.3. Контрольные вопросы

1. В чем суть анализа технических характеристик и для чего его применяют?

2. Поясните применение анализа времени фронта при заряде емкости в RC-цепи.

3. Объясните исследование зависимоости времени нарастания от значения резистора в RC-цепи. 4. Перечислите основные функции измерений для анализа технических характеристик.

Глава 11. Линии передачи

Линии передачи высокоскоростных информационных сигналов представляют собой цепи (линии) с распределенными пераметрами. К ним относятся двухпроводные линии и кабели. На более высоких частотах применяют волноводы.

11.1. Определение линии с распределенными параметрами

Линией с распределёнными параметрами называется такая электрическая цепь, в которой элементарные параметры L, C, r, g и запасённая электрическая и магнитная энергия распределены вдоль всей длины цепи, а токи и напряжения в точке цепи зависят от расстояния этой точки до источника.

Первичными параметрами линии называются электрические параметры, отнесённые к единице длины, а именно: L_0 - погонная индуктивность (Гн/м); C_0 - погонная емкость (Ф/м); r_0 -погонное продольное сопротивление (Ом/м); g_0 - погонная поперечная проводимость изоляции (См/м). Линии с неизменными по длине первичными параметрами называются однородными.

11.2. Вывод телеграфных уравнений линии с потерями

Расчетная модель однородной линии показана на рис. 11.1.



Рис. 11.1. Расчетная модель однородной линии

Малый участок линии Δx имеет продольное сопротивление $r_0 \cdot \Delta x$, индуктивность $L_0 \cdot \Delta x$, поперечную проводимость $g_0 \cdot \Delta x$, емкость $C_0 \cdot \Delta x$. На входе участка напряжение u, ток i. На выходе участка напряжение $u + \Delta u$, ток $i + \Delta i$. По расчетной схеме получаем следующую систему уравнений:

$$u(x) - u(x + \Delta x) = L_0 \Delta x \frac{\partial i}{\partial t} + r_0 \Delta x i$$

$$i(x) - i(x + \Delta x) = C_0 \Delta x \frac{\partial u}{\partial t} + g_0 \Delta x u$$
(11.1)

При уменьшении Δx получим дифференциальные уравнения линии в частных производной при отсчете от начала линии:

$$-\frac{\partial u}{\partial x} = L_0 \frac{\partial i}{\partial t} + r_0 i$$

$$-\frac{\partial i}{\partial x} = C_0 \frac{\partial u}{\partial t} + g_0 u$$
(11.2)

Эти уравнения называют *телеграфными уравнениями* линии при отсчета от начала (переменными являются координата x и время t). Таким образом, напряжение и ток в линии являются функциями двух переменных.

Если отсчет координаты вести от конца линии (переменными будут координата y и время t), получим телеграфные уравнения линии при отсчете от конца:

$$-\frac{\partial u}{\partial x} = L_0 \frac{\partial i}{\partial t} + r_0 i$$

$$-\frac{\partial i}{\partial x} = C_0 \frac{\partial u}{\partial t} + g_0 u$$
(11.3)

11.3. Уравнения линии для гармонического сигнала. Характеристические параметры линии

Если на входе линии действует гармонический сигнал $e(t) = E_m \cdot sin \omega t$, то из уравнений (11.2) можно получить обыкновенные однородные линейные дифференциальные уравнения для комплексных действующих значений напряжения и тока:

$$\frac{d^2 \underline{U}}{dx^2} - \underline{\gamma}^2 \underline{U} = 0; \qquad \frac{d^2 \underline{I}}{dx^2} - \underline{\gamma}^2 \underline{I} = 0$$
(11.4)

В уравнениях (11.4):

$$\underline{\gamma} = \sqrt{(r_0 + j\omega L_0)(g_0 + j\omega C_0)} = \alpha + j\beta$$
- коэффициент распростра-

нения; α - коэффициент затухания; $\beta = \frac{2\pi f}{V_{\Phi}} = \frac{2\pi}{\lambda}$ - коэффициент фазы,

 V_{Φ} - фазовая скорость.

Решение уравнений (11.4) имеют следующий вид:

$$\underline{U}(x) = \frac{\underline{U}_1 + \underline{Z}_{\mathfrak{g}}\underline{I}_1}{2}e^{-\underline{\gamma}x} + \frac{\underline{U}_1 - \underline{Z}_{\mathfrak{g}}\underline{I}_1}{2}e^{+\underline{\gamma}x}$$

$$\underline{I}(x) = \frac{\underline{U}_1 + \underline{Z}_{\mathfrak{g}}\underline{I}_1}{2\underline{Z}_{\mathfrak{g}}}e^{-\underline{\gamma}x} + \frac{\underline{U}_1 - \underline{Z}_{\mathfrak{g}}\underline{I}_1}{2\underline{Z}_{\mathfrak{g}}}e^{+\underline{\gamma}x}$$
(11.5)

В уравнения (11.5) входит важный параметр линии – *волновое сопротив*ление:

$$\underline{Z}_B = \sqrt{\frac{r_0 + j\omega L_0}{g_0 + j\omega C_0}}$$
(11.6)

Коэффициенты $\underline{\gamma}, \alpha, \beta$ и волновое сопротивление \underline{Z}_{β} называют характеристическими параметрами линии.

11.4. Падающие и отраженные волны

Первые слагаемые в уравнениях (11.5) затухают при увеличении координаты x и представляют падающие волны напряжения и тока. Вторые слагаемые представляют отраженные волны и возрастают по мере приближения к нагрузке при увеличении x.

Уравнения (11.5) можно получить в гиперболической форме:

$$\underline{U}(x) = \underline{U}_{1}ch\underline{\gamma}x - \underline{Z}_{6}\underline{I}_{1}sh\underline{\gamma}x$$

$$\underline{I}(x) = \underline{I}_{1}ch\underline{\gamma}x - \frac{\underline{U}_{1}}{\underline{Z}_{6}}sh\underline{\gamma}x$$
(11.7)

Если отсчет вести от конца линии, когда задан режим в нагрузке $(\underline{U}_2, \underline{I}_2)$, то решение телеграфных уравнений имеет следующий вид:

$$\underline{U}(y) = \underline{U}_{2}ch\underline{\gamma}y + \underline{Z}_{e}\underline{I}_{2}sh\underline{\gamma}y$$

$$\underline{I}(y) = \underline{I}_{2}ch\underline{\gamma}y + \frac{\underline{U}_{2}}{\underline{Z}_{e}}sh\underline{\gamma}y$$
(11.8)

11.5. Входное сопротивление линии

Входное сопротивление в произвольной точке на расстояние *у* от конца, есть отношение напряжения в данном сечение к току в данном сечении:

$$\underline{Z}_{ex}(y) = \frac{\underline{U}(y)}{\underline{I}(y)} = \underline{Z}_{e} \frac{\underline{Z}_{2}ch\underline{\gamma}y + \underline{Z}_{e}sh\underline{\gamma}y}{\underline{Z}_{e}ch\underline{\gamma}y + \underline{Z}_{2}sh\underline{\gamma}y}$$
(11.9)

В согласованном режиме, когда $\underline{Z}_2 = \underline{Z}_e$, входное сопротивление линии в любом сечении постоянно и равно волновому сопротивлению: $\underline{Z}_{ex}(y) = \underline{Z}_e = const$.

11.6. Уравнения линии без потерь

Если потери в линии малы ($r_0 << \omega L_0, g_0 << \omega C_0$), то считают, что $r_0 = 0, g_0 = 0$ и рассматривают линию без потерь.

В линии без потерь коэффициент затухания $\alpha = 0$, коэффициент фазы $\beta = \omega \sqrt{L_0 C_0}$, коэффициент распространения $\underline{\gamma} = j \omega \sqrt{L_0 C_0} = j \beta$, фазовая скорость $V_{\Phi} = \frac{\omega}{\beta} = \frac{1}{\sqrt{L_0 C_0}}$, волновое сопротивление $\underline{Z}_{e} = \sqrt{\frac{L_0}{C_0}}$. При этом

уравнения линии без потерь имеют следующий вид:

$$\underline{U}(y) = \underline{U}_{2} \cos \beta y + j \underline{I}_{2} \underline{Z}_{e} \sin \beta y$$

$$\underline{I}(y) = \underline{I}_{2} \cos \beta y + j \frac{\underline{U}_{2}}{\underline{Z}_{e}} \sin \beta y$$
(11.10)

Входное сопротивление линии без потерь:

$$\underline{Z}_{ex} = \underline{Z}_{e} \frac{\underline{Z}_{2} \cos \beta y + j \underline{Z}_{e} \sin \beta y}{\underline{Z}_{e} \cos \beta y + j \underline{Z}_{2} \sin \beta y}$$
(11.11)

Задав величину фазовой скорости V_{Φ} в линии (например, $V_{\Phi}=3\cdot 10^8$ м/сек для воздушной линии) и волновое сопротивление Zв=1200 Ом, можно рассчитать первичные параметры линии без потерь Lo, Co и длину отрезка имитированной линии *l*.

11.7. Режимы работы линии без потерь

Распределение напряжения по длине линии обусловлено наложением и интерференцией падающей и отраженной волны. В зависимости от характера нагрузки (импеданса) различают:

- режимы стоячих волн при нагрузке вида: холостой ход, короткое замыкание, индуктивность, емкость;

- режим бегущей волны при активной нагрузке, равной волновому сопротивлению линии;

- режимы смешанных волн при активной нагрузке, не равной волновому сопротивлению линии.

11.8. Исследование линий передачи в OrCAD-17.2

Целостность сигнала в высокоскоростных линиях передачи связана с частотой сигнала и дисперсионными потерями линий передачи. Потери мощности сигнала объясняются увеличением сопротивления проводников (скин эффект) и величением диэлектрической проводимости (диэлектрические потери) с увеличение частоты. Дисперсия - это искажение формы волны сигнала в результате задержек, вызванных распределенной частотно-зависимой индуктивностью и емкостью линии передачи. Любые отраженные сигналы из-за несоответствие импеданса будут также проявляться в потерях и дисперсии, и в результате будут ухудшать производительность линии передачи. Идеальные линии и линии передачи с потерями моделируются в PSpice с использованием распределенных Tline моделей и моделей сегментированных линий TLUMP.11

11.8.1. Идеальная линия передачи без потерь

Параметрами, необходимыми для идеальной линии передачи, являются характеристикой импеданс (Z0) (волнового сопротивления) и либо задержка линии передачи (TD), либо нормированная длина линии (NL), которая представляет собой число длин волн вдоль линии при заданной частоте. Вы не можете вводить TD и NL вместе. Если вы не указали частоту для NL, тогда частота по умолчанию соответствует для NL = 0,25, что представляет собой четверть волны.

Временная задержка, TD, вдоль линии передачи определяется следующим образом:

$$TD = \frac{LEN}{v_p},$$

где TD - задержка передачи (с), LEN - длина линии передачи в (м), V_p - скорость распространения волны (м/с). Для линий передачи скорость распространения выражается в процентах от скорости света, так что:

 $v_p = c \times VF$, где VF - это фактор скорости, который имеет значения от 0 до 1, а c - скорость света, равная 3×10^8 м/с.

Нормализованная длина линии $NL = \frac{LEN}{\lambda}$.

Из выражения $v_p = f \lambda$ длину волны получим так: $\lambda = \frac{v_p}{f}$.

Это выражение затем перепишем так: $NL = LEN \frac{f}{v_p}$, где f - частота

(Гц), λ - длина волны (м).

PSpice использует устройство Т из аналоговой библиотеки для моделирования идеальной передачи линия. На рис. 11.2а показан компонент Capture для устройства Т линии без потерь и связанные с этим компонентом свойства в редакторе свойств.

Итак, для идеальной линии передачи, если вы не знаете время задержки (TD), тогда вы можете ввести значения для NL и f и, как указано выше, если вы не введете частоту, то используется значение по умолчанию 0,25, которое представляет собой четверть волны.

К линии передачи могут быть применены исходные условия для напряжения и тока.

11.8.2. Линии с потерями

Линии передачи могут считаться состоящими из нескольких одинаковых участков с известными условно сосредоточенными параметрами сегментов линии, как показано на рисунке 11.1. При этом $R = r_0 \cdot \Delta x$ представляет собой продольное линейное сопротивление, $L = L_0 \cdot \Delta x$ - индуктивность линии, $C = C_0 \cdot \Delta x$ - диэлектрическая емкость и $G = g_0 \cdot \Delta x$ - поперечная диэлектрическая проводимость. Для длинных линий электропередачи одним решением будет использование несколько сосредоточенных сегментов RLCG, соединенных вместе.

На рис. 11.2.б показан компонент Capture для устройства линии с потерями и связанные с этим компонентом свойства в редакторе свойств.

PSpice обеспечивает до 128 сегментов линии в библиотеке TLine. Однако, объединение больших сегментов линии может привести к длительному времени моделирования.

Простые модели линий передачи RC также доступны в библиотеке TLine, так как имеется более 40 моделей коаксиальных кабелей и моделей с витой проволокой.

Альтернативный подход для линий передачи с потерями заключается в использовании распределенной модели, которая опирается на метод свертки с импульсной характеристикой для определения отклика в линии передачи. На рис. 11.3 показано устройство TLOSSY PSpice и связанные с ним свойства в редакторе свойств.

Длина линии передачи представлена свойством LEN, а свойства R, L, C и G указаны для единичной длины.

| | A | | Α |
|-----------------------|----------------------|-----------------------|--|
| | SCHEMATIC1 : PAGE1 | | |
| Implementation | | Implementation | |
| Implementation Type | <0008> | Implementation Type | <none></none> |
| | | IO_LEVEL | |
| | | IOMODEL | |
| | | MNTYMXDLY | |
| NATTMADLT | | Name | INS445 |
| Name | 11/15472 | Part Reference | T1 |
| Part Reference | 12 | Source Library | C:\CADENCE\SPB_17.2 |
| Source Library | C:\CADENCE\SPB_17.2 | Source Package | TLOSSY |
| Source Package | Т | PSpiceTemplate | T^@REFDES %A+ %A- %B |
| PSpiceTemplate | T^@REFDES %A+ %A- %B | PSpiceOnly | TRUE |
| PSpiceOnly | TRUE | Reference | T1 |
| Reference | T2 | Value | TLOSSY |
| Value | Т | RES | |
| RES | | ratio | |
| ratio | | С | N.I.I.I.I |
| F | | G | N N N N N N N N N N N N N N N N N N N |
| Location X-Coordinate | 160 | L | V///////////////////////////////////// |
| Location Y-Coordinate | 180 | LEN | Y |
| NL | | Location X-Coordinate | 540 |
| Source Part | T.Normal | Location Y-Coordinate | 200 |
| TD | | R | V///////////////////////////////////// |
| ZO | | Source Part | TLOSSY.Normal |

Рис. 11.2.а

Рис.11.2.б

Примечание.

Максимальный внутренний временной шаг, созданный для моделей распределенных линий передачи, ограничен одной половиной задержки линии передачи TD. Поэтому для короткой линии передачи, время моделирования может быть значительно больше для распределенных моделей линий по сравнению с использованием для короткой линии передачи модели с сосредоточенными параметрами.

11.9. Примеры моделирования линии без потерь

11.9.1. Согласованная линия без потерь

В новом проекте PR-19 соберем схему (рис. 11.3). Линию передачи T1 выбераем из аналоговой библиотеки, а импульсный источник напряжения из библиотеки Source. Когда вы размещаете нагрузочный резистор RL на схеме, по умолчанию, контакт 1 включен в левой части резистора. Надо повернуть резистор RL три раза, чтобы в вертикальном положении контакт 1 находился сверху и был подключен к T1. По соглашению ток, текущий в контакт 1, определяется как положительный, так что измеренный отрицательный ток на выводе 1 представляет собой ток, вытекающий из контакта 1.



Рис. 11.3. Схема модели согласованной линии передачи

Для линии передачи установим типовые значения волнового сопротивления Z0=75 Ом и задержки TD=10 нс.

Для работы линии в согласованном режиме сопротивление источника сигнала RS и сопротивление нагрузки RL должны равняться волновому сопротивлению линии 75 Ом.

Установки импульсного источника сигнала показаны на рис. 11.3.

Выполним моделирование с профилем Transient и установим Run To Time = 50 ns, Maximum Step Size = 50 ps.

Результаты моделирования формы сигналов показаны на рис. 11.4.



Рис. 11.4. Форма сигналов в согласованной линии без потерь

Как и следует из теории, выходной сигнал не искажается, полностью соответствует входному, но задержан на время задержки линии 10 нс.

11.9.2. Короткозамкнутая линия без потерь

Для моделирования короткозамкнутой линии установим в схеме рис. 11.3 нагрузку RL=75 мОм. Моделирование показывает, что на выходе импульс напряжения отсутствует, а на входе с задержкой 20 нс появляется отраженный импульс (рис. 11.5).



Рис. 11.5. Режим короткого замыкания на выходе

11.9.3. Разомкнутая линия без потерь

Для моделирования разомкнутой линии установим нагрузку RL=75 ГОм. В этом случае на выходе наблюдаем удвоенный импульс напряжения, а на входе появляется отраженный импульс с задержной 20 мс



В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

Рис. 11.6. Режим разомкнутой линии

Короткозамкнутая и разомкнутая линия работают в режиме стоячей волны: энергия не передается в нагрузку так как в первом случае напряжение на нагрузке равно нулю, а во втором случае ток в нагрузке равен нулю.

11.9.4. Режим смешанных волн в линии без потерь

Если нагрузка активная, но не равна волновому сопротивлению линии, установится режим смешанных волн. Моделирование для RL=150 Ом показывает, что в нагрузке наблюдается импульс с амплитудой 7,2 В, а на вход с задержкой 20 нс поступает отраженный импульс с амплитудой 1,7 В.



Рис. 11.7. Режим смешанных волн

11.10. Исследование формы волны в линии без потерь

Распределение напряжения волны вдоль линии зависит от характера нашрузки, частоты и свойств линии.

Чтобы исследовать это, выполним следующее:

1. В новом проекте соберем модель линии с источником переменного напряжения (рис. 11.8).



Рис. 11.8. Модель для исследования формы волны

2. Мы будем менять значение свойства линии передачи NL, поэтому необходимо параметризовать значение свойства NL в редакторе свойств.

Дважды щелкните по компоненту T1, чтобы открыть Редактор свойств. Выделите для NL поле значения свойства, которое имеет затененные линии и введите {wavelength}. Скобки {} представляют собой «контейнер» для переменного параметра. Не закрывайте редактор свойств, нажмите Disply и выберите Name and Value. Тогда на схеме появится запись NL={wavelength}.

3. Установите частоту 100 МГц и волновое сопротивление 75 Ом (рис. 11.9).

| | A | Display Properties |
|-----------------------|----------------------|-------------------------------------|
| | SCHEMATIC1 : PAGE1 | |
| Implementation | | Font |
| Implementation Type | <none></none> | Arial 7 |
| IO_LEVEL | | Value: {wavelength} |
| IOMODEL | | Change Use Default |
| MNTYMXDLY | | Display Format |
| Name | INS445 | Color |
| Part Reference | T1 | O Do Not Display |
| Source Library | C:\CADENCE\SPB_17.2 | 🔘 Value Only 🗸 🗸 🗸 |
| Source Package | Т | Name and Value |
| PSpiceTemplate | T^@REFDES %A+ %A- %B | Name Only |
| PSpiceOnly | TRUE | |
| Reference | T1 | O Both If Value Exists O 90° O 270° |
| Value | Т | Value if Value Exists |
| RES | | Text Justification |
| wavelength | | Default 👻 |
| F | (100MHz) | |
| Location X-Coordinate | 310 | |
| Location Y-Coordinate | 160 | OK Cancel Help |
| NL | {wavelength} | |
| Source Part | T.Normal | |
| TD | | |
| Z0 | 75 | |

В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

4. Далее необходимо определить значение по умолчанию для параметра длины волны. Добавьте компонент Рагат из специальной библиотеки и двойным щелчком на компоненте откройте его Редактор свойств. Выберите New Properties, введите Name как wavelength волны и свойство Value = 1 как показано на рис. 11.10. Установите отображение Name and Value для wavelength и закройте редактор свойств для компонента РАRAM.

В схеме появятся дополнительные свойства (рис. 11.8).

| Add New Property |
|--|
| Name: |
| wavelenght |
| <u>V</u> alue: |
| 1 |
| ☑ Display [ON/OFF] |
| Enter a name and click Apply or OK to add a column/row to the property editor and optionally the current filter (but not the <current properties> filter).</current |
| No properties will be added to selected objects until you enter a value here or in the newly created cells in the property editor spreadsheet. |
| ☑ Always show this column/row in this filter |
| Apply OK Cancel Help |

Рис. 11.10. Установка свойств компонента PARAM

5. Далее вам нужно будет настроить развертку параметрического моделирования вместе с анализом AC. Создайте новый профиль моделирования PSpice, например, ACSIN и выберите анализ AC Sweep / Noise от 100 МГц до 200 МГц при использовании логарифмической развертки с плотностью точек 1/декада (рис. 11.11). Нажмите Apply и Ok.

| General Analysis Configu | ration Files Options | Data Collection | Probe Window | |
|--------------------------|--|-------------------|-------------------------|----------------|
| Analysis Type: | AC Sweep Type —— | | | |
| AC Sweep/Noise | Linear | | Start Frequency: | 100MHz |
| Options: | Logarithmic | | End Frequency: | 200MHz |
| General Settings | Decade 👻 | | Points/Decade: | 1 |
| Monte Carlo/Worst Case | Noise Analysis | | | |
| Parametric Sweep | Enabled | Output Voltage: | | |
| Temperature (Sweep) | | I/V Source: | | |
| Save Bias Point | | Interval: | | |
| Load Bias Point | Output File Options — Include detailed bias semiconductors (.OP) | point information | for nonlinear controlle | ed sources and |

Рис. 11.11. Установка профиля моделирования с разверткой по частоте

6. Установите параметрическую развертку и настройте глобальный параметр развертки wavelength. Длины волны меняется от 0 до 1 с шагом 0.01, как показано на рисунке 11.12. Нажмите «ОК».

| General Analysis Config | uration Files Options Data Collection Probe Window |
|--------------------------------------|--|
| Analysis Type: | Sweep Variable |
| AC Sweep/Noise | OVoltage source Name: |
| Options: | O Current source Model type: |
| General Settings | Goglobal parameter Model name: |
| Monte Carlo/Worst Case | Model parameter Parameter name: wavelength |
| Parametric Sweep | Temperature |
| Temperature (Sweep) | Sweep Type |
| Save Bias Point | Start Value: 0 |
| Load Bias Point | Linear End Value: |
| | OLogarithmic Decade V Increment: 0.01 |
| | ⊙ Value List |
| | |
| | |

В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

Рис. 11.12. Настройка параметрической развертки длины волны

7. Установите в схеме (рис. 11.8) RL=75 Ом и выполните моделирование. После окончания моделирования отоброзите в окне Probe все доступные результаты.

В режиме бегущей волны напряжение вдоль линии будет постоянным (рис. 11.13).



Рис.11.13. Напряжение в линии в режиме бегущей волны

8. Установите в схеме (рис. 11.8) RL=75 мОм (режим короткого замыкания). Выполните моделирование. В линии установится режим стоячей волны. В конце линии будет минимум напряжения (рис. 11.14).



Рис. 11.14. Напряжение в линии с режиме стоячей волны

9. Установите RL=150 Ом. В линии будет режим смешанных волн. Так как нагрузка больше волнового сопротивления, в конце линии будет максимум напряжения (рис. 11.15).



Рис. 11.15. Напряжение в линии с режиме смешанных волн

Таким образом, мы изучили моделирование линий передачи в среде Or-CAD-17.2. Более детальные сведения вы получите при самостоятельном освоении программы.

11.11. Контрольные вопросы

1. Дайте определение линий с распределенными параметрами.

2. Назовите первичные параметры линий с распределенными параметрами.

3. Какие линии называют однородными ?

?

4. Как выглядит модель участка однородной линии ?

5. Как выглядят телеграфные уравнения линии для произвольного сигнала?

6. Как выглядят уравнения линии с потерями для гармонического сигнала

7. Назовите характеристические параметры линии ?

8. Что такое падающие и отраженные волны?

9. Как выглядят уравнения линии без потерь и входное сопротивление такой линии ?

10. Какие режимы работы бывают в линии бнз потерь?

11. Какие компоненты используют в OrCAD 17.2 для моделирования линий без потерь и как устанавливают параметры этих компонентов ?

12. Какие компонентв используют в OrCAD 17.2 для моделирования линий с потерями и как устанавливают параметры этих компонентов ?

13. Поясните пример моделирования линии без потерь с различными нагрузками.

14. Поясните метод исследования формы волны в линии без потерь.

Глава 12. Аналоговые поведенческие модели

12.1. Обзор аналогового поведенческого моделирования

Аналоговые поведенческие модели (ABM) устройства являются расширенными версиями традиционных Spice-моделей E устройств - управляемых напряжением источников напряжения (VCVS), G устройств, источников тока, управляемых напряжением (VCCS). Они обеспечивают функции передачи, математические выражения или таблицы LUT для описания поведения электронного устройства или схемы. Система ABM может обеспечить системный подход к проектированию электронных схем. Электронная система представлена блок-схемой, каждый блок представлен ABM устройством, которое может уменьшить общее время моделирования. Если система удовлетворяет необходимым техническим характеристикам, то каждый блок может быть последовательно заменен на его окончательную электронную схему. В качестве альтернативы, работающие электронные схемы могут быть заменены эквивалентными блоками ABM.

Существуют два типа устройства АВМ устройств:

PSpice эквивалентные блоки, которые имеют дифференциальный вход и двухсторонний выход, систему управления блоками, которая имеет один входной и выходной контакт.

Стандартные E, F, G и H устройства могут быть найдены в аналоговой библиотеке, в то время как устройства ABM могут быть найдены в ABM библиотека.

Некоторые компоненты поведенческих моделй показаны на рис. 12.1



Рис. 12.1. Некоторые компоненты поведенческих моделей

Расширенные источники предоставляют пять дополнительных функций, которые определяются как:

Value - Математическое выражение, значение;

Table- Таблица – Look-Up-Table;

Freq - Частота откликов;

Chebyshev -Характеристики фильтра Чебышева;

Laplace - преобразование Лапласа.

Вы можете использовать функцию Analog Behavioral Modeling (ABM) PSpice для гибкого описания электронных компонентов при заданной передаточной функции или справочной таблицы. Другими словами, математическое отношение используется для моделирования сегмента цепи, поэтому вам не нужно составлять этот сегмент по компонентам.

Библиотека компонентов содержит несколько компонентов ABM, которые классифицируются либо как части системы управления, либо как части, эквивалентные PSpice моделям.

Элементы системы управления определяются с предустановленным опорным напряжением, чтобы каждый управляющий вход и выход были представлены одним контактом компонента.

Компоненты, эквивалентные PSpice, отражают структуру PSpice E и G типов устройств, которые реагируют на дифференциальный вход и имеют двухсторонний выход.

Вы также можете использовать набор устройств разработчика для моделирования такого типа, но рекомендуется использовать функцию ABM везде, где возможно.

Модели устройств, выполненные с использованием ABM, могут использоваться в большинстве случаев, являются гораздо проще в создании и совместимы с обновлениями PSpice.

Файл библиотеки компонентов АВМ содержит два раздела.

В первом разделе есть компоненты, которые можно быстро подключить к структуре системы управления. Эти компоненты имеют такие имена, как SUM, GAIN, LAPLACE и HIPASS.

Второй раздел содержит компоненты, которые полезны для более традиционных контролируемых исходных форм схемных деталей. Эти PSpiceэквивалентные части имеют имена, такие как EVALUE и GFREQ, и основаны на расширении к традиционным типам устройств PSpice E и G.

Несколько компонентов генерируют многострочные записи списка соединений, но большинство из них реализованы как один PSpice E или G.

12.2. Размещение и спецификация компонентов АВМ

Размещайте и соединяйте части АВМ так же, как и другие детали.

После размещения компонента ABM вы можете редактировать свойства экземпляра, чтобы настроить рабочее поведение детали. Это эквивалентно определению выражения ABM, описывающего преобразование входов в выходы. В следующих разделах описываются правила для указания ABM-выражения.

12.2.1.Имена цепи и имена устройств в выражениях АВМ

В выражениях ABM сигналы указывают по имени. Это тоже значительно удобнее, чем подключение провода от контакта на компоненте ABM до точки, несущей интересующее напряжение.

Если вы использовали выражение типа V(2), то указанная сеть (2 в этом случае) интерпретируется как имя локальной или глобальной сети. Местная цепь - это сегментированный фрагмент провода или шины в иерархической схеме или помеченный соединитель offpage. Глобальная сеть - это маркированный провод или сегмент шины на верхнем уровне или глобальный соединитель.

Примечание. Имя порта интерфейса не распространяется на любые подключенные сети. Чтобы ссылаться на сигнал, поступающий через порт интерфейса, подключите порт к разъему offpage с требуемым именем.

OrCAD Capture распознает эти конструкции в выражениях ABM:

V (<имя сети>) V (<net name>, <net name>) I (<vdevice>)

Когда один из них распознается, Capture ищет <net name> или <vdevice> в пространстве имен цепей или в пространстве имен устройств, соответственно. Имена сначала ищутся на иерархическом уровне, причем компонент не включен в список. Если они не найдены, то выполняется глобальный поиск имен. Если фрагмент не найден, то поступает предупреждение, но Capture все же выводит итоговый список соединений. Когда совпадение найденно, исходный фрагмент заменяется полным именем сети или устройства.

Имена источников напряжения обрабатываются аналогичным образом. Например, выражение, включающее термин I (Vsense), будет выводиться как I (V_U1_Vsense), если источник напряжения существует локально, и как I (V Vsense), если источник напряжения существует на верхнем уровне.

12.2.2. Необходимость использования глобального определения

Если имя сети существует как на локальном иерархическом уровне, так и в верхнем уровне, механизм поиска, используемый Capture, найдет локальное определение. Вы можете переопределить это и заставить Capture использовать глобальное определение путем префикса имени с символом одной кавычки (').

Например, предположим, что есть сеть под названием Reference внутри иерархической части U1 и на верхнем уровне. Тогда фрагмент ABM V (Reference) приведет к V (U1_Reference) в списке соединений, в то время как фрагмент V (`Reference) произведет V (Reference).

12.3. Пример удвоителя напряжения

Создадим новый проект PR-18 и соберем схему с умножителем напряжения EVALUE (рис. 12.2). В свойствах компонента установим множитель 2*. Выполним моделирование в режиме Transient и получим графики входного и увеличенного в два раза выходного напряжения (рис.12.3).






Рис. 12.3. Напряжения в удвоителе



Условные операторы также могут быть применены к ABM частям. Например, на рис. 12.4, если входное напряжение больше 4 В, то надо вывести 0 V, иначе выход равен 5 В. Это фактически является компаратором. Полученная форма волны показана на рисунке 12.5.



Рис. 12.4. Схема компаратора



Рис. 12.5. Графики на входе и выходе компаратора

12.5. Пример умножителя

На рис. 12.6 показана схема умножителя. Синусоидальные источники напряжения имеют значения: SIN1 – Vamp=1B, F=50 Гц; SIN2 - Vamp=2B, F=100 Гц. Эти сигналы перемножаются



В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств



Моделиролирование проведено с профилем Transient. Результат умножения показан на рис. 12.7.

Рис. 12.8. Произведение синусоидальных сигналов

12.6. Пример фильтра нижних частот

На рис. 12.8 показан фильтр нижних частот Чебышева из библиотеки ABM. Пульсации коэффициента передачи в полосе пропускания не должны превышать 5 дБ. На частоте 100 Гц ослабление составляет 20 дБ.

Выполним моделирования с профилем AC Sweep в диапазоне от 1 Гц до 300 Гц. Результаты показаны на рис. 12.9.



Рис. 12.8. Модель фильтра нижних частот



Рис. 12.9. Амплитудно-частотная характеристика ФНЧ

12.7. Контрольные вопросы

1. Что называют аналоговыми поведенческими моделиями (ABM) и как их используют в OrCAD 17.2 ?

2. Перечислите некоторые примеры компонентов поведенческих моделей.

3. Какие разделы содержат библиотеки АВМ компонентов ?

4. Как выполняют размещение и спецификацию компонентов АВМ ?

5. Объясните работу моделей удвоителя, компаратора, умножителя и фильтра, использующих АВМ компоненты.

Глава 13. Анализ шума

Анализ шума выполняется в сочетании с анализом переменного тока и вычисляет выходной шум и эквивалентный входной шум в цепи. Выходной шум в указанном выходном узле является среднеквадратичной (RMS) суммой шума, порождённого всеми резисторами и полупроводниками в цепи. Если цепь рассматривается как бесшумная, то эквивалентный шумовой входной сигнал определяется как шум, который требуется на входе, чтобы генерировать один и тот же выходной шум. Это тоже самое, как деление выходного шума на коэффициент усиления цепи с целью получения эквивалентного входного шума.

13.1. Виды шумов:

1. Шум Джонсона или тепловой шум из-за случайного теплового движения электронов в проводнике, который возрастает с увеличением частоты и температуры. В PSpice тепловой шум от резистора представлен током источника, включенного параллельно с бесшумным резистором. Из-за своей случайной природы в источнике тока шум представляется в виде среднего квадратического значения, вычисляемого по формуле:

$$\overline{i^2} = \frac{4kT\Delta f}{R} (A^2 / \Gamma u),$$

где:

k - постоянная Больцмана: 1,38 e^{-23} (Дж/К);

Т – абсолютная температура в градусах Кельвина:

R – сопротивление в Омах;

 Δf - полоса частот в Герцах.

Полупроводниковый шум, как правило, состоят из теплового, дробового и фликкер-шума.

Тепловой шум порождается внутренними паразитными сопротивлениями устройства.

2. Дробовой шум является случайными флуктуациям тока, создаваемыми при протекании тока через p-n переход и определяется по формуле:

$$\overline{i^2} = 2qI(A^2/\Gamma u),$$

где: q – заряд электрона 1,602 × 10⁻¹⁹ Кл;

I – ток через устройство в амперах (А).

3. Фликкер-шум – это электронный шум, наблюдаемый практически в любых аналоговых электронных устройствах. Его источниками могут являться неоднородности в проводящей среде, генерация и рекомбинация носителей заряда в транзисторах.

Известно, что происходит фликкер-шум на низких частотах и что шум тока уменьшается с частотой, демонстрируя характеристику шумового тока 1/F.

Средне-квадратическое значение (RMS) фликкер - шума определяется по формуле:

$$\overline{i^2} = \frac{KF \times I_d^{AF}}{\Delta f} (A^2 / \Gamma u),$$

где: *КF* - коэффициент фликкер – шума;

*I*_d - ток через устройство;

АF - показатель степени фликкер – шума;

 Δf - полоса частот в Герцах.

После того, как начат анализ шума, термические, дробовые и фликкер шумы от резисторов и полупроводниковых приборов становятся доступными в качестве составляющих переменных в окне Probe.

Таблица 13.1 показывает доступные переменные шума для некоторых устройств.

Таблица 13.1

| Выходные переменные шума, доступные в Probe | | | | | |
|---|------------------------|---|--|--|--|
| Устройство | Выходная переменная | Шум | | | |
| Резистор | NTOT | Тепловой шум | | | |
| Диод | NRS | Тепловой шум для сопротивления | | | |
| | NSID | Дробовый шум | | | |
| | NFID | Фликкер – шум | | | |
| | NTOT | Общее распределение шума | | | |
| Биполярный транзистор | NRB | Паразитный тепловой шум для со- противления базы | | | |
| | NRC | Паразитный тепловой шум для со- противления коллектора | | | |
| | NRE | Паразитный тепловой шум для со- противления эмиттера | | | |
| | NSIB | Дробовый шум для тока базы | | | |
| | NSIC | Дробовый шум для тока коллектора | | | |
| | NFIB | Фликкер – шум | | | |
| | NTOT | Общее распределение всех шумов | | | |

| Полевые транзисторы | NRD | Паразитный тепловой шум для со- противления стока | | |
|--|--------------|---|--|--|
| | NRG | Паразитный тепловой шум для со- противления затвора | | |
| | NRS | Паразитный тепловой шум для со- противления истока | | |
| | NRB | Паразитный тепловой шум для со- противления подложки | | |
| | NSID | Дробовый шум | | |
| NFID | | Фликкер – шум | | |
| | NTOT | Общее распределение всех шумов | | |
| Общий выходной шум для цепи | NTOT(ONOISE) | $\sum_{Devises} NTOT(Devices)$ | | |
| Среднеквадратическая сумма выходных шу- | V(ONOISE) | Среднеквадратическая сумма всех составляющих | | |
| мов для цепи | | $\sqrt{NTOT(ONOISE)}$ | | |
| Эквивалентный вход- | V(INOISE) | V(ONOISE) | | |
| нои шум для цепи | | gain | | |

Примечание:

1. Вклад устройств для формы Nxxx измеряется в
$$B^2/\Gamma \mu$$
;

2. Общий входной или выходной шум в формах V(ONOISE) или V(INOISE) измеряется $B / \sqrt{\Gamma \mu}$.

13.2. Пример исследования шума в транзисторном усилителе

В новом проекте PR-20 соберем схему усилителя на биполярном транзисторе (рис. 13.1). PSpice модели биполярных n-p-n транзисторов находятся в библиотеке PSpice>Advanls>bjn.



Рис. 13.1. Схема модели транзисторного усилителя

13.2.1. Настройка и анализ шума

Следующая процедура описывает минимальные требования к настройке для проведения анализа шума.

1. Сначала надо настроить и запустить развертку по частоте AC sweep. Установим начальное значение частоты 10кГц, конечное 1ГГц, логарифмическую развертку по декадам с количеством точек на декаду 10 (рис. 13.2.

| General | Analysis | Configura | ition Files | Options | Data Collection | Probe Wi | ndow | |
|------------------------------------|---------------|-----------|-------------|--|---------------------|-------------|---------------|-------------|
| Analysis Typ | be: | | AC Swee | о Туре —— | | | | |
| AC Sweep/ | Noise | - | 💿 Linea | ar | | Start Frequ | iency: | 10k |
| Options: | | | 🔘 Loga | rithmic | | End Frequ | ency: | 1G |
| Gener | al Settings | | Dec | ade 👻 | | Points/Dec | ade: | 10 |
| Monte | Carlo/Worst C | ase | Noise Ana | alysis —— | | | | |
| Parametric Sweep V(OUT) | | | | | | | | |
| Temperature (Sweep) I/V Source: V1 | | | | | | | | |
| Save Bias Point Interval: 10 | | | | | | | | |
| Load E | 3ias Point | | Output Fil | e Options — detailed bia: uctors (.OP) | s point information | for nonline | ar controlled | sources and |

Рис. 13.2. Установка развертки по частоте

2. Проверим работу усилителя и получим амплитудно-частотную характеристику (рис. 13.3). Мы видим, что усиление на низких частотах составляет примерно 6,4, полоса пропускания 549,99 кГц. Следовательно, усилитель функционирует нормально.



Рис. 13.3. АЧХ усилителя

3. Далее надо настроить параметры моделирования шума и включить анализ шума в профиле моделирования, установив Enable (рис. 13.2), выходное напряжение V(OUT).

Определим источник напряжения или тока, для которого будет вычисляться эквивалентный входной шум. В нашей схеме это V1.

Интервал - целое число n, обозначающее, что для каждой n-й частоты вы хотите увидеть таблицу, напечатанную в выходном файле PSpice (.OUT) с указанием индивидуальных вкладов всех генераторов шума схемы в общий шум. Установим интервал равным 10.

4. Выполним моделирование и в окне Probe откроем Trace>Add Traces (рис. 13.4). Мы увидим измеренные составляющие шумов, которые можно вывести в виде отдельных графиков или в суммарном виде.

| Add Traces | | |
|-----------------------------|---------------------|----------------------------------|
| Simulation Output Variables | | Functions or Macros |
| × | | Analog Operators and Functions 🔹 |
| I(R2) | 🔽 Analog | # |
| I(R3) I(R3) | 🔄 Digital | 0 × |
| I(V1) I(V1) | Voltages | ; |
| I(V2) I(V2+) | 🔽 Currents | @ ABS() |
| NTOT(ONOISE) NTOT(B1) | V Power | ARCTAN() ATAN() |
| NTOT(R2) NTOT(R3) | ☑ Noise (V²/Hz) | AVG() AVGX(_) |
| | 📝 Alias Names | COS() |
| V(N010880) V(N01139) | Subcircuit Nodes | DB() ENVMAX(,) |
| VÌNO1174) VIONOISET | | ENVMIN(,) EXP() |
| V(01) V(01:B) | | G() Č IMG() |
| V(Q1:C) V(Q1:E) | Ed | |
| V(R1:1) V(R1:2) | 94 Valiables IIS(eq | M() MAX() + |
| Full List | | |
| Trace Expression: | | OK Cancel Help |

Рис. 13.4. Измеренные составляющие шумов

На рис. 13.5 показан график теплового шума от резистора R1.



Рис. 13.5. Тепловой шум резистора R1

Просуммируем тепловые шумы резисторов в строке Trace Expression (<u>Trace Expression: NTOT(R1) + NTOT(R2) + NTOT(R3)</u>) и получим результат шумового воздействия всех резисторов (рис. 13.6).



Рис. 13.6. Общий результат воздействия шумов резисторов

Напомним, что величина femto $f = 10^{-15}$.

На рис. 13.7 показано распределение среднеквадратической суммы выходных шумов для цепи.



Рис. 13.7. Распределение среднеквадратической суммы выходных шумов для цепи

Эквивалентный входной шум, равный выходному, деленному на усиление, показан на рис. 13.8. По форме АЧХ (рис.3.3) мы видели, что на высоких частотах усиление падает и это ведет к увеличение эквивалентного входного шума.





Допопнительную информацию о шумах на конкретных частотах можно получить в выходном файле Probe (рис. 13.9).

| - FRE | QUENCY = 1.000E+06 HZ |
|--------------------|---|
| | |
| - | |
| - **** (TR | ANSISTOR SQUARED NOISE VOLTAGES (SQ V/HZ) |
| - | |
| - | X_Q1.Q2n3904_0 |
| RB | 5.066E-18 |
| RC | 2.189E-20 |
| - RE | 2.881E-22 |
| - IBSN | 6.304E-14 |
| IC | 6.543E-16 |
| - IBFN | 0.000E+00 |
| - TOTAL | 6.370E-14 |
| - | |
| - **** RE | SISTOR SQUARED NOISE VOLTAGES (SQ V/HZ) |
| - | |
| · | |
| | R_RI R_RZ R_R3 |
| TOTAL | 2.555E-18 2.761E-16 3.037E-15 |
| -1 | |

Рис. 13.9. Численная информация о шумах в выходном файле

13.3. Контрольные вопросы

1. Как определяется выходной шум в цепи с резисторами и полупроводниками ?

2. Как рассчитывают эквивалентный шумовой входной сигнал?

3. Чем вызван тепловой шум в проводнике и от чего он зависит?

4. Чем вызван дробовой шум в полупроводниках ?

5. Чем вызван фликкер – шум в электронных устройствах и от чего он зависит ?

6. Назовите доступные в OrCAD выходные переменные шума для резисторов.

7. Назовите доступные в OrCAD выходные переменные шума для диодов.

8. Назовите доступные в OrCAD выходные переменные шума для биполярных транзисторов.

9. Назовите доступные в OrCAD выходные переменные шума для полевых транзисторов.

10. Как определяют общий выходной шум электронного устройства и в чем его измеряют ?

11. Как вычисляют среднеквадратическую сумму выходных шумов и в чем она измеряется ?

12. Объясните выполнение примера исследования шума в транзисторном усилителе.

Глава 14. Температурный анализ

Изменение температуры может повлиять на производительность и характеристики цепи. Компоненты, наиболее зависящие от изменения температуры, включают полупроводники, резисторы, конденсаторы и катушки индуктивности. Все эти компоненты имеют встроенную температурную зависимость параметров модели, такую, что изменение температуры будет изменять свойства компонента и последующее поведение цепи.

14.1. Температурные коэффициенты

Для резистора изменение номинального значения из-за изменения температуры определяется как:

$$R = R(\text{nom}) \cdot (1 + TC1 \cdot (T - T_{\text{nom}}) + TC2 \cdot (T - T_{\text{nom}})^2),$$

где :

TC1- линейный температурный коэффициент (ppm/°C);

TC2- квадратичный температурный коэффициент (ppm/°C⁻²);

T - температура моделирования (°С);

 $T_{\rm nom}$ - номинальная температура по умолчанию равная 27 °C.

Есть еще TCE – экспоненциальный коэффициент, который, если задан, определяет значение резистора как:

$$R = R(\text{nom}) \cdot 1,01^{TCE \cdot (T - T_{\text{nom}})}.$$

Производители обычно дают линейные температурные коэффициенты.

Температурные коэффициенты, указанные для резисторов, приведены в частях на миллион на один градус по Цельсию (частей на миллион / ° С).

Обозначение ppm - это сокращение от parts per million. То есть тут показывается, на сколько миллионных долей меняется сопротивление при изменении температуры на 1°С. К примеру, если 500 ppm/°С, то на каждый градус сопротивление меняется на 500/1000000, или на 0,05%.

Так для резистора 10 кОм с линейным температурным коэффициентом 200ppm/°C значение TC1=0.0002 и без учета TC2 повышение температуры на 20°C даст:

$$R = 10000 \times (1 + (0,0002 \cdot 20)) = 10040 \, O_{\mathcal{M}}$$

Аналогичным образом, для катушек индуктивности и конденсаторов значения компонентов определяется по формуле:

$$L = L(\text{nom}) \cdot (1 + TC1 \cdot (T - T_{\text{nom}}) + TC2 \cdot (T - T_{\text{nom}})^2);$$

$$C = C(\text{nom}) \cdot (1 + TC1 \cdot (T - T_{\text{nom}}) + TC2 \cdot (T - T_{\text{nom}})^2)$$

14.2. Запуск анализа температуры

AC, DC или анализ переходных процессов обычно работает при номинальной по умолчанию температуре (Tnom=27°C), которая устанавливается в профиле моделирования на вкладке Options. Tnom это номинальная по умолчанию температура, а также температура, при которой были измерены параметры модели.

Пример 14.1: Влияние температуры на ВАХ диода

1. Создадим новый проект PR-22. Из библиотеки pspice>advanls>di выберем диод 1N914 и собирем схему (рис. 14.1). Добавим файл di в библиотеки проекта.



Рис. 14.1. Схема модели с диодом

2. Установим профиль моделирования. В первичной развертке DC Sweep напряжение питания V1 меняется от 0 до 1,5В (рис. 14.2).

Во вторичной развертке изменяем температуру от -55°C до +75°C с. шагом 10°C (рис. 14.3).

| Analysis Type: DC Sweep Options: Primary Sweep Primary Sweep Monte Carlo/Worst Case Parametric Sweep Temperature (Sweep) Save Bias Point Load Bias Point Sweep Type Current source Model parameter Model parameter Sweep Type Current source Model parameter Sweep Type Current source Model parameter Sweep Type Current source Model parameter Current source Model parameter Model parameter Sweep Type Current source Model parameter Current source Model parameter Model parameter Model parameter Current source Model parameter Model parameter Model parameter Current source Model parameter Model parameter Current source Model parameter Model parameter Current source Model parameter Model parameter Current source Model parameter Current source Current source Model parameter Current source Current sourc | General Analysis Configura | tion Files Options Data Collection | Probe Window |
|--|--|--|--|
| | Analysis Type: DC Sweep Options: Secondary Sweep Monte Carlo/Worst Case Parametric Sweep Temperature (Sweep) Save Bias Point Load Bias Point | Sweep Variable Voltage source Name: Current source Model t Global parameter Model r Model parameter Parame Temperature Sweep Type Linear Logarithmic Decade Value List | V1 type: name: eter name: Start Value: End Value: Increment: 0 |

Рис. 14.2. Первичная развертка по напряжению

| Simulation Settings - PR-22 | |
|--|---|
| General Analysis Configura | ation Files Options Data Collection Probe Window |
| Analysis Type: DC Sweep Options: Primary Sweep Secondary Sweep Monte Carlo/Worst Case Parametric Sweep Temperature (Sweep) | Sweep Variable Voltage source Name: Current source Model type: Global parameter Model name: Model parameter Parameter name: Temperature Sweep Type Start Value: -55 |
| Save Bias Point Load Bias Point | Increment: Increment: Increment: Increment: |
| | OK Cancel Apply Reset Help |

Рис.14.3. Вторичная развертка по температуре

3. Выполняем моделирование и в окне Probe выбираем Trace>Add Trace и устанавливаем ток анода I[D1:AN]. Графики вольт-амперных характеристик для разных температур показаны на рис. 14.4.



Рис. 14.4. Графики ВАХ цепи с диодом

14.3. Контрольные вопросы

1. Как определяется зависимость от температуры сопротивление резистора?

2. В каких единицах измеряются температурные коэффициенты сопротивления?

3. Как определяются зависимости от температуры значений индуктивностей катушек и емкостей конденсаторов ?

4. Поясните выполнение примера исследования влияния температуры на ВАХ диода.

Глава 15. Редактирование и создание PSpice модели

15.1. Редактирования параметров PSice модели

Модели PSpice могут быть созданы и отредактированы в редакторе PSpice Model Editor, который можно запустить выделив компонент PSpice и выбрав Edit PSpiceModel.

На рис. 15.1 показана схема со стабилитроном D1N750.



Рис. 15.1. Схема со стабилитроном

Сначала получим исходную вольт-амперную характеристику. Для этого проведем анализ с профилем моделирования DC Sweep для изменения V1 от 0 до 10В с шагом 0,1В.

На рис. 15.2 показан график исходной ВАХ со стабилизацией напряжения на уровне 4,56 В, что соответствует параметрам стабилитрона.



В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

Рис. 15.2. График исходной ВАХ

Для изменения напряжения стабилизации на схеме выделяем стабилитрон и в меню свойств выбираем Edit PSpice Model.

В открывшемся окне PSpice Model Editor Lite на вкладке Tools выбираем Extract Parameters устанавливаем новое значение напряжения стабилизации BV=8.5 В и фиксируем это значение (рис. 15.3). Сохраняем изменения.

После этого надо ввести дополнения в профиль моделирования. На вкладке Configuration Files добавим библиотеку eval.olb, в которой находится наш стабилитрон с измененными параметрами. Добавляем этот файл конфигурации как глобальный (рис. 15.4).

После этого повторяем моделирование и получаем новую BAX со стабилизацией на уровне 8,3 В (рис. 15.5).



Рис. 15.3. Изменение напряжения стабилизации



Рис. 15.4. Добавление файла конфигурации в профиль моделирования



Рис. 15.5. Вольт-амперная характеристика с измененным параметром стабилизации

15.2. Создание PSpice модели нового компонента

Всякий раз, когда вы создаете новую PSpice – модель или компонент в Capture, рекомендуется, чтобы вы создали новый каталог для своей модели. Не устанавливайте свои новые библиотеки в Capture или PSpice. Если устанавливается новая версия OrCAD, тогда PSpice и библиотеки Capture будут переустановлены, а любые созданные вами новые модели будут потеряны.

Для этого упражнения мы предположим, что модель PSpice для транзистора была загруженный с веб-сайта производителя полупроводников. Чтобы

воссоздать этот сценарий мы скопируем существующую транзисторную модель из библиотеки bipolar.lib в новый файл myTransistors.lib.

1. Используя текстовый редактор, такой как WordPad или Notepad, перейдите к установленным PSpice библиотекам, открыв один из готовых проектов и выполнив Place>Part>Add Library. Выберите в PSpice библиотеке bipolar.lib или eval.lib. Убедитесь, что в окне Тип файлов вы выбрали All Files.

2. В файле библиотеки прокрутите вниз и выберите модель Q2N3904. Перенесите этот транзистор на рабочее поле, выделите его и выберите Edit PSpice Model (Puc. 15.6).



Рис. 15.6. Редактор модели транзистора

3. Выберите текст параметров модели и скопируйте его в новый текстовый файл. Не используйте (RTF) при использовании WordPad.

4. Измените имя модели транзистора на Q2N7777, как показано ниже (рис. 15.7):

| 🔲 myTransistors — Бло | кнот |
|------------------------------------|---|
| Файл Правка Форм | ат Вид Справка |
| .model Q2N7777 + + * * | NPN(Is=6.734f Xti=3 Eg=1.11 Vaf=74.03 Bf=416.4 Ne=1.259 Ise=6.734f Ikf=66.78m Xtb=1.5 Br=.7371 Nc=2 Isc=0 Ikr=0 Rc=1 Cjc=3.638p Mjc=.3085 Vjc=.75 Fc=.5 Cje=4.493p Mje=.2593 Vje=.75 Tr=239.5n Tf=301.2p Itf=.4 Vtf=4 Xtf=2 Rb=10) National pid=23 case=TO92 88-09-08 bam creation |

Рис. 15.7. Запись параметров транзистора в Блокноте

5. Сохраните файл как myTransistors.lib в папке myTransistors. Убедитесь, файл сохраняется как текст, а не RTF, иначе управляющие символы будут добавлены в текст модели.

6. Создайте новый проект PSpice под названием myTransistors.

7. В диспетчере проектов убедитесь, что файл myTransistors.dsn выделен и выберите Tools> GeneratePart. В окне GeneratePart (рисунок 15.8) выберите:

В окне Netlist / source file type: PSpice Model Library

В окне Netlist / source file: найдите файл myTransistors.lib.

| Generate Part | | | × |
|--|--------------------|------------------------|--------------|
| Netlist/source file: C:\Projects 17.2\myTransistors\myT | ransistors.lib | Browse | OK Cancel |
| Netlist/source file type: | | | |
| PSpice Model Library | • | | Пер |
| Part name: | | | FPGA Setup |
| Q2N7777 | | | |
| Destination part library: | | | |
| C:\Projects 17.2\myTransistors\myT | ransistors.OLB | | Browse |
| Oreate new part | 🗇 Update pins or | n existing part in lil | brary. |
| 🔲 Pick symbols manually | | | |
| Sort pins | - Additional pins | e number of additi | onal |
| Descending order | Number of | of pins: 0 | |
| 🗌 Retain alpha-numeric pin-num | bers. Device is pi | n grid array type p | ackage. |
| Implementation | | | |
| Implementation type: | Implementation na | ame: | |
| PSpice Model | Q2N7777 | | • |
| Implementation file: | | | |
| | | Bro | wse |
| | | | |

Рис. 15.8. Подключение библиотек для новой модели транзистора

В библиотеке Destination part: перейдите в ту же папку, где есть myTransistors. lib.

В имени реализации: будет только одна запись Q2N7777.

Нажмите «ОК».

8. Библиотека myTransistors.olb Capture будет создана и добавлена в библиотеки в диспетчере проектов (рис. 15.9).



Рис. 15.9. Добавление библиотеки транзистора в проект

9. Откройте библиотеку раздела Q2N7777 и вы увидите изображение схемы транзистора (рис. 15.10).



Рис. 15.10. Изображение схемы транзистора

10. Откройте страницу схемы и выберите Place>Part. Библиотека myTransistors будет автоматически добавлена в библиотеки и список деталей будет содержать транзисторный графический символ для NPN-транзистора (Puc. 15.11).

| | Place Part 1 |
|-------------------|-----------------------------|
| k 📭 | Part 🔬 🥥 |
| 1. 🔨 | Q2N7777 |
| 5 5 | Part List: |
| 🍠 📥 | |
| Ղ 🔶 | |
| / 1 | |
| ÷ 🗗 | Libraries: |
| \sim $^{\circ}$ | EVAL MAGNETIC |
| 🗳, 🗙 | MECHANICAL MYTRANSISTORS |
| <u>₽</u> | OPA OPAMP |
| RR | Packaging |
| 12 12 | Parts per Pkg: 1 |
| B B | |
| ALS abc | |
| A 111 | Type. Homogeneous |
| | |
| | Normal Convert |
| | Search for Part |

Рис. 15.11. Новый транзистор в каталоге компонентов

Кроме того, появляется значок PSpice, указывающий, что транзистор имеет PSpice модель, которая прилагается. Теперь вам нужно сделать файл myTransistors.lib для моделирования в профиле моделирования.

10. Создайте новый профиль моделирования, например, myTran, выполнив PSpice> New Simulation Profile. На вкладке Configuration files выберите Category > Library и перейдите к папке, где сохранен myTransistors.lib. Вы можете добавлять файлы библиотеки как Global или локально к дизайну или к профилю. Добавьте файл как глобальный (рис. 15.12) и нажмите ОК. Транзистор готов к моделированию, а библиотека myTransistors.lib будет доступна для каждого нового проекта.

| Simulation Settings - my | Tran | | - 8, 8 | 444 . | × |
|--|---------------------|--------------|---------------------|--------------|-----------|
| General Analysis | Configuration Files | Options | Data Collection | Probe Window | |
| Category: | Filename: | | | | |
| Stimulus | C:\Projects 17.2\ | myTransistor | s\myTransistors.lib | > | Browse |
| Library Include | Configured Files | | _ | × + + | |
| Image: momd.lib* Add as Global Image: momd.lib* Add to Design Image: momd.lib* Add to Design Image: momd.lib* Add to Profile | | | | | |
| Edit | | | | | |
| | | | | | Change |
| Library Path | | | | | |
| "C:\Cadence\SPB_17.2\tools\PSpice\Library" Browse | | | | | |
| L | | ОК | Cancel | Apply | eset Help |

Рис. 15.12. Добавление глобального библиотечного файла

11. После этого проверим идентичность моделей транзисторов. Соберем две одинаковые схемы типового усилителя с общим эмиттером (рис. 15.13), установим профиль моделирования Bias Point, выполним моделипрования. Так видно, токи во всех цепях совпадают.





В полной версии OrCAD-17.2 имеются более широкие возможности для создания и редактирования моделй компонентов. Ознакомиться с ними вы можете по полным описаниям программы и руководству PSpice.

15.3. Контрольные вопросы

1. Объясните последовательность действий для редактирования параметров PSpice модели стабилитрона.

2. Какие действия надо выполнить для получения текста параметров PSpice модели транзистора ?

3. Как следует редактировать и сохранять измененный текстовый файл параметров для создания новой модели транзистора ?

4. Как генерировать модель нового транзистора на основе измененного текстового файла параметров ?

5. Как проверить добавление новой библиотеки транзистора в проект?

6. Как проверить наличие нового транзистора в библиотеках Place>Part ?

7. Как добавить новый библиотечный файл транзистора в профиль моделирования,

8. Объясните, как выполнялась проверка соответсвия параметров нового транзистора с исходным.

Глава 16. Цифровое моделирование

PSpice использует один и тот же механизм моделирования как для Цифровая аналоговых, так И ДЛЯ цифровых компонентов. транзисторно-транзисторная логика (ТТЛ) и комплементарные полевые транзисторы (CMOS) моделируются как подсхемы и включают в себя общие цифровые функции, такие как вентили, регистры, триггеры и инверторы. В каждой подсхеме цифровой примитив составляет функцию вентилей (AND, OR и т. д.) и определяет спецификацию времени и интерфейса для функции вентилей. Другие цифровые устройства включают в себя линии задержки, аналого-цифровые преобразователи АЦП (ADC или AtoD), цифроаналоговые преобразователи ЦАП DtoA). (DAC или память (RAM, ROM) и программируемые логические массивы.

16.1. Модели цифровых устройств

Библиотеки стандартных компонентов содержат полный набор цифровых компонентов, выполненных по разным технологиям. Каждый цифровой компонент описан электрически с помощью модели цифрового устройства в виде подсхемы и определение хранится в библиотеке моделей. Имя соответствующей подсхемы определяется значением атрибута MODEL компонента. Другие атрибуты - MNTYMXDLY, IO_LEVEL и набор PSPICEDEFAULTNET - передается в подсхему, таким образом обеспечивая высокоуровневое средство для воздействия на поведение цифровой модели устройства.

Как правило, цифровые компоненты, представленные в библиотеках, явяются достаточными для большинства схем. Однако, если ваш дизайн требует цифровые компоненты, которые еще не были представлены в PSpice и библиотеках моделей, вам необходимо самостоятельно определить модели цифровых устройств, соответствующих новым цифровым компонентам.

Полная цифровая модель устройства имеет три основные характеристики:

■ Функциональное поведение: описывается уровнем вентилей и поведением цифровых примитивов, содержащихся в подсхеме.

■ Поведение ввода-вывода: описывается моделью ввода-вывода, интерфейсом и источниками питания, связанными с логическими устройствами.

■ Временное поведение: описывается одной или несколькими моделями времени с примитивными задержками передачи от выводов к выводам (pin-to-pin) или примитивной проверкой ограничений.

16.1.2. Функциональное поведение

Функциональное поведение модели цифрового устройства определяется одним или несколькими взаимосвязанными цифровыми примитивами. Как правило, логическая диаграмма цифрового устройства может быть реализована

непосредственно с использованием примитивов, предоставляемых в PSpice. В приведенной ниже таблице приведен краткий обзор цифровых примитивов.

Таблица 16-1

| Тип | Описание | Тип | Описание |
|------------------------|------------------------------|----------------------------------|-----------------------------|
| BUF | Буфер | Лвунапра | вленные шлюзы передачи |
| INV | Инвертор | NBTG | N-канальный шлюз передачи |
| AND | И | PBTG | Р-канальный шлюз передачи |
| NAND | И-НЕ | Tı | лиггеры и защелки |
| OR | ИЛИ | JKFF | Ј-К-триггер, срабатывание с |
| | | | отрицательным фронтом |
| NOR | ИЛИ-НЕ | DFF | D-триггер, срабатывание по- |
| | | | ложительным фронтом |
| XOR | Исключающее | SRFF | RS-тригтер |
| | ИЛИ | | |
| NXOR | Исключающее | DLTCH | D-триггер |
| | ИЛИ-НЕ | | |
| BUFA | Буферный массив | PULLUP | Подтягивающая резисторная |
| | | | матрица |
| INVA | Инверторный | PULLDN | Стягивающая резисторная |
| | массив | матрица | |
| ANDA | Массив И | Линии задержки | |
| NANDA | Массив И-НЕ | DLYLINE | Линия задержки |
| ORA | Массив ИЛИ | Программируемые логические масси | |
| NORA | Массив ИЛИ-НЕ | PLAND | Массив И |
| XORA | Массив исключаю- щего ИЛИ | PLOR | Массив ИЛИ |
| NXORA | Массив исключаю- | PLXOR | Массив Исключающее ИЛИ |
| | щего ИЛИ-НЕ | | |
| | | | |
| AO | Составной элемент | PLNAND | Массив И-НЕ |
| | И-ИЛИ | | |
| OA | Составной элемент | PLNOR | Массив ИЛИ-НЕ |
| | ИЛИ-И | | |
| AOI | Составной элемент | PLNXOR | Массив исключающего |
| | И-(ИЛИ-НЕ) | | ИЛИ-НЕ |
| Примечание: вышепер | речисленные элемен- | PLANDC | И массив, истина и дополне- |
| ты с добавлением циф | рры 3 (AND3, OR3A и | | ние |
| т.п.) имеют третье сос | стояние с большим | | |
| импедансом. | | | |

Сводка цифровых примитивов

Таблица 16.1 (Продолжение)

| Тип | Описание | Тип | Описаание |
|--------|----------|---|------------------|
| Память | | Многобитовые преобразователи аналого- цифровые (ЦАП) и цифроаналоговые (АЦП) | |
| ROM | ПЗУ | ADC | Многобитовый АЦП |

| RAM | ОЗУ | DAC | Многобитовый | | |
|----------------------|--------------------|--------|--------------------|--|--|
| | | | ЦАП | | |
| Поведенческие модели | | | | | |
| LOGICEXP | Логическое | PINDLY | Задержка от пина к | | |
| | выражение | | пину | | |
| CONSTRAINT | Проверка ограниче- | | | | |
| | ний | | | | |

Формат цифровых примитивов аналогичен формату аналоговых устройств. Одно отличие состоит в том, что большинство цифровых примитивов требуют двух моделей вместо одной:

■ Модель времени, которая определяет задержки распространения и временные ограничения, такие как время установки и удержания.

■ Модель ввода-вывода, которая определяет информацию, относящуюся к входным / выходным характеристики устройства.

Причина наличия двух моделей заключается в том, что, хотя информация о времени специфическая для устройства, характеристики ввода/вывода специфичны для целой группы логических устройств. Таким образом, многие устройства в одной и той же групповой ссылке имеют одну и ту же модель ввода-вывода, но каждое устройство имеет свою собственную модель синхронизации.

На рис. 16.1 представлен обзор определения цифрового устройства в терминах его примитивов и основных атрибутов модели. Это модель элемента И-НЕ, выполненного по технологии СМОЅ с двумя входами.



Рис. 16.1. Описание элемента И-НЕ

Первые пять строк - это комментарии, дающие описание компонента и ссылку на источники данных. В строке 6 приведено определение подсхемы CD4011B с тремя контакты A, B и J. Глобальный источник питания определяется VDD=\$G_CD4000_VDD и VSS=\$G_CD4000_VSS. Необязательными параметрами являются MNTYMXDLY=0, который определяет минимальную, типичную и максимальную задержку и IO_LEVEL, который определяет одну из четырех аналого-цифровых (AtoD) или (DtoA)

интерфейсных подсхем, если цифровое устройство подключается к аналоговому устройству.

Компонент U1 определяет примитив с двумя входами nand(2), который имеет входные терминалы VDD, VSS, A, B и J. Знак «+» означает продолжение на следующей строке. Следующая строка (строка 11) объявляет две модели: временную модель D_CD4011B, которая определяет временные параметры, такие как задержка распространения, время установки и удержания, а также модель входа/вывода (I/O), IO_4000B, которая определяет характеристики нагрузки и переключения для вентиля. Подсхемы всегда заканчиваются выражением «.ends», как в строке 12.

Модель D_CD4011В может быть найдена в CD4000.lib и модели IO_4000В в dig_io.lib. Более подробную информацию можно найти в Справочное руководство по PSpice.

16.2. Цифровые цепи

Цифровые вентили по умолчанию не показывают свои контакты питания, потому что потребуется относительно большое количество проводов для соединения всех вентилей с питанием, что может привести к чрезмерному усложнению схемы. Вместо этого устройства TTL и CMOS подключены к глобальным узлам электропитания, которые не отображаются, и по умолчанию в них установлено значение 5 В. Различные источники питания могут быть установлены для диапазона напряжения питания от 3 до 18 В для устройств CMOS. Это не повлияет на ввод пороговых значений и выходные драйверы для CMOS-устройств, но задержки распространения будут все еще определяется для источника питания 5 В. Для точной установки задержки распространения временные модели должны быть изменены.

Чтобы установить цифровые логические уровни на выводах интегральной схемы (IC), рекомендуется использовать цифровые символы HI и LO в меню Place> Power>(выбрать библиотеку Source.olb) и использовать цифровые подтягивающие (pullup) или стягивающие (pulldown) резисторы из библиотеки dig_misc, чтобы связать контакт с высоким или низким уровнем через резистор.

Символы No Connect из меню Place можно использовать для идентификации несвязанных выводов. На рисунке 16.2 показаны соответствующие символы и компоненты Capture.



Рис. 16.2. Цифровые символы: HI, LO, pullup, pulldown, No Connect

16.2.1. Моделирование цифрового счетчика

Создадим новый проект pr-25 для моделирования цифрового счетчика. На рисунке 16.3 цифровой сигнал синхронизации подается ко входу 8-битного двоичного счетчик (U1A и U1B). Чтобы включить счетчик, ввод CLR привязан к минимуму, используя цифровой символ LO.



Рис. 16.3. Схема модели цифрового счетчика

Микросхемы соединены 8-разрядными шинами. Чтобы нарисовать шину, выберите Place>Bus или нажмите «В».

Чтобы нарисовать угловую шину, удерживайте Shift и нажмите левую кнопку мыши, чтобы определить угол, а затем нарисуйте шину.

Каждый выход счетчика подключается к 8-разрядной шине, используя точки входа в шину через Place> Bus Entry, выбрав значок или нажав Е на клавиатуре.

Примечание:

Начиная с версии 16.3, соединительные контакты могут автоматически наноситься на шину. Нарисуйте шину, а затем выберите Place> Auto Wire > Connect to Bus. Нажмите на соединительный контакт и затем щелкните по шине (вам будет предложено ввести имя сети). Вход в точку шины и провод будут нарисованы автоматически.

Каждый провод, подключенный к точке входа шины, обозначен D1, D2 и т.д., а сама шина имеет сетевое имя D[8-1], порядок которого, определяется msb-lsb (старший значащий бит – младший значащий бит). Шина на ввод данных в U3 также называется D[8-1] и поэтому будет подключена как 8-битная шина. Шина также может быть обозначена как D [7-0] или D[7..0], согласно вашему предпочтение, если крайний правый бит вы обозначаете нулевым. Только сигналы одного типа могут быть сгруппированы вместе на шине, смешанные шины не могут быть определены в Capture. Однако в Probe сигналы различных типов могут собираться вместе и отображаться в виде сигнала шины.

Маркеры могут быть размещены как на шинах, так и на проводах.

В тактовом генераторе DSTM1 установим период 2 мкс, время включенного состояния 1 мкс, задержка 10 нс (рис. 16.4).

| Clock Attributes | | |
|----------------------------|--|--|
| Name: DSTM1 | | |
| Specify by: | | |
| C Frequency and duty cycle | | |
| Period and on time | | |
| Period (sec) 2us | | |
| On time (sec) 1us | | |
| Initial value 🛛 💌 | | |
| Time delay (sec) 10ns | | |
| OK Cancel Apply | | |

Рис. 16.4. Установка тактового генератора

16.2.2. Профиль цифрового моделирования

Сначала установим режим Transient с временем моделирования 16 мкс. Затем на вкладке Options выбираем Gate Level Simulation>General и устанавливаем типичную синхронизацию (рис. 16.5).

| Simulation Settings - pr-25 General Analysis Configuration | Files Options Dat | a Collection Probe Wir | ndow |
|---|---|------------------------|---------------------------|
| Analog Simulation General MOSFET Option Analog Advanced General Bias Point Transient Gate Level Simulation General Advanced Cutput File General General General | Name DIGMNTYMX NOPRBMSG DIGINITSTATE DIGIOLVL | Value Typical | Default Value Typical X 1 |
| | ок | ancel Apply | Reset Help |

Рис. 16.5. Установка профиля цифрового моделирования

Параметр «Режим синхронизации» позволяет вам выбрать минимальный, максимальные или наихудшие временные характеристики для цифровых устройств. Есть четыре интерфейса ввода/вывода AtoD и DtoA, которые вы можете выбрать, и, что наиболее важно, вы можете инициализировать все триггеры либо на X (бесконечный импеданс), либо в состояние логического 0 или 1, установив параметр DIGINITSTATE.

16.2.3. Отображение цифровых сигналов

Цифровые сигналы отображаются как с высоким, так и с низким уровнем логики. Однако для областей двусмысленности, когда время перехода точно не известно, возрастающие и падающие переходы будут показаны желтым цветом. Неизвестные состояния отображаются как две красные линии и высокоимпедансные состояния будут показаны как три синие линии.

Примечание:

Одна из распространенных ошибок заключается в неправильной инициализации регистров (триггеров) в цепи, так что в результате появляются две красные линии, представляющие неизвестное состояние. Убедись, что вы инициализируете триггеры, как показано на рис. 16.5.

Вы можете группировать цифровые сигналы вместе и отображать их как шину в окно Probe. Имя шины можно создать в поле Trace Expression окна Add Trace. До 32 цифровых сигналов могут быть указаны в перечне msb to lsb, с основанием шестнадцатеричного (по умолчанию), десятичного, восьмеричным или двоичного предстваления. Для примера:

{D4 D3 D2 D1}; myBus; d отобразит D4 - D1 (msb-lsb), обозначенные как myBus с десятичными числами;

 $\{WR RD CE\}; control; b будет отображать управление шиной в двоичном формате.$

На рисунке 16.6 после моделирования показаны сигналы на разных шинах счетчика в разных исчислениях. Вывод сделан последовательным выполнением команды Trace>Add Ttace для следующих выражений Trace Expression:



Рис. 16.6. Вывод данных в разных форматах

Примечание: в строке Trace Expression после записи очередного выражения не следует ставить какой-либо знак.

Данные на рис. 16.6 показывают увеличение счета на шинах D[8:1], QA[8:1], так как исходное состояние триггеров было DIGINITSTATE=0.

Установим в опциях профиля моделирования (рис. 16.5) DIGINITSTATE=1. В этом случае результаты моделирования на шинах D[8:1], QA[8:1] показывают счет в сторону уменьшения (рис. 16.7)

| | STM4 - 011T | |
|---|-------------|--|
| | 3111.001 | ╶╢┊┊╘╇┿┿┪┊┊╘╇┿┿┥┊┊╘╇┿┿┥┊┊╘╇┿┿┥┊┊╘╇┿┥┊┊╘╇┿┥┊┊╘╇┿┥┊┊╘╇┿┥┊┊╘╇┿┥┊┊╘╇┿┥┊┊╘╇┿┥┊ |
| | {D[8:1]} | (FF;X; ; 8 ; ;X; ; 1 ; ;X; ; 2 ; ;X; ; 3 ; ;X; ; 4 ; ;X; ; 5 ; ;X; ; 6 ; ;X; ; 7 ; ;X; ; 8 ; ;X; ; 9 ; ;X; ; A ; |
| - | QA[8:1]} | FF X: 8 X: 2 X: 3 X: 4 X: 5 X: 6 X: 7 X: 8 X: 9 X: A |
| | QB[8:1]} | (:0;)X; : FF : ;X; : FE : ;X; : FD : ;X; : FC : ;X; : FB : ;X; : F9 : ;X; : F8 : ;X; : F7 : ;X; : F6 : ;X; : F5 : |
| | | |

Рис. 16.7. Вывод данных для счета с уменьшением

Примитив MNTYMXDLY является необязательным параметром устройства, который указывает, следует ли использовать минимальные, типичные, максимальные или наихудшие цифровые временные значения задержки из модель устройства.

В свойствах компонента 74HC393 установлено PARAMS: MNTYMXDLY=0 (рис. 16.8). Это означает, что он принимает текущее значение параметра DIGMNTYMX. DIGMNTYMX в нашем профиле моделирования установлен как «типичный».

* 74HC393 COUNTER BINARY 4-BIT, ASYNCHRONOUS

* HIGH-SPEED CMOS LOGIC DATA BOOK, AUG 1989, TI
* JLS 6-30-92 REMODELED USING LOGICEXP, PINDLY, AND CONSTRAINT DEVICES

.SUBCKT 74HC393 A_I CLR_I QA_O QB_O QC_O QD_O + OPTIONAL: DPWR=\$G_DPWR DGND=\$G_DGND + PARAMS: MNTYMXDLY=0 IO_LEVEL=0

Рис. 16.8. Фрагмент свойств счетчика 74НС393

Подробнее с основными и расширенными опциями цифрового моделирования можно познакомиться в PSpice 17.2 User Guide.

16.3. Контрольные вопросы

1. Какие основные цифровые устройства можно моделировать в PSpice?

2. Какие основные характеристики имеют цифровые модели ?

3. Какие цифровые примитивы использует PSpice ?

4. Какие две модели должны иметь цифровые примитивы ?

5. Поясните описание элемента И – НЕ.

6. Какие типовые цифровые символы используют в цифровых цепях ?

7. Как выполняют соединение цифровых микросхем многоразрядными шинами ?

8. Как обозначают цифровые шигы?

9. Как устанавливают профиль цифрового моделирования ?

10. Как можно отображать цифровые сигналы в окне Probe ?

11. Как записывают выражения Trace Expression для отображения цифровых сигналов в разных исчислениях и в разных форматах ?

12. Как можно изменять параметры цифрового компонента в списке его свойств ?

Глава 17. Смешанное моделирование

PSpice использует один и тот же механизм моделирования для аналоговых и цифровых схем. Результаты моделирования в окне Probe распределены на одной и той же оси времени, но разделяются на отдельные окна аналоговых и цифровых графиков. Аналоговые и цифровые компоненты в цепи соединены вместе в узлах. В PSpice существует три типа соединительных узлов:

- аналоговый, где все подключенные части являются аналоговыми;
- цифровой, где все подключенные части цифровые;
- и интерфейс, где есть смесь аналоговых и цифровых частей.

Узлы интерфейса автоматически разделяются на один аналоговый узел и один или больше цифровых узлов, вставляя аналоговые и цифровые интерфейсные подсхемы, которые являются аналого-цифровыми (ADC, AtoD) или цифро-аналоговыми (DAC, DtoA) интерфейсами.

Эти подсхемы также будут иметь собственный источник питания. Поскольку этот процесс происходит автоматически и работает незаметно, нам обычно не приходится беспокоиться о интерфейсных подсхемах, хотя они доступны в виде графиков в окне Probe.

17.1. Исследование аналогового компаратора с цифроым выходом

На рис. 17.1 показана схема аналогового компаратора. Выходной транзистор с открытым коллектором подключен к цифровому затвору. Подтягивающий резистор подключен к цифровому источнику питания и выходное заземление компаратора подключено к цифровому заземлению. Установки источника сигнала V1 показаны на схеме. Цифровой генератор стимулов DSTM1 имеет период 2 мкс.



Рис. 17.1. Схема аналогового компаратора с цифровым выходом

Для смешанных аналоговых и цифровых схем выполняют те же процедуры для размещения деталей, создания профиля моделирования и моделирования.

Для упрощения цепей питания используют свойство PSPICEDEFAULTNET. Это свойство определяет сетевое имя, на которое подается питание или земля (невидимый) контакт.

Например, если контакты питания и заземления на цифровой части подключены к цифровым цепям \$ G_DPWR и \$ G_DGND соответственно, то свойства определяются следующим образом:

PSPICEDEFAULTNET = \$ G DPWR

PSPICEDEFAULTNET = \$ G_DGND

Так для микросхемы 74HC08 в редакторе свойств модели (рис. 17.2) указаны обозначения цифровых цепей питания и земли. Описание определения подсхемы, которое начинается с:

.SUBCKT 7400 A B Y

+ optional: DPWR=\$G_DPWR DGND=\$G_DGND

+ params: MNTYMXDLY=0 IO_LEVEL=0.

Затем указываются соответствующие свойства компонента:

IMPLEMENTATION = 7400
MNTYMXDLY = 0
IO_LEVEL = 0
PSPICETEMPLATE = X^@REFDES %A %B %Y %PWR %GND
@MODEL PARAMS:IO_LEVEL=@IO_LEVEL

MNTYMXDLY=@MNTYMXDLY

```
PR-26:74HC08 - PSpice Model Editor Lite - [Model Text]
📳 File Edit View Model Plot Tools Window Help
 8
 Models List
                               * 74HC08 Quadruple 2-input Positive-And Gates
                     Modified
 Model Name
              Type
 74HC08*
             SUBCKT
                              * The High-Speed CMOS Logic Data Book, 1988, TI
                                tdn 06/23/89 Update interface and model names
                              .subckt 74HC08 A B Y
                                    optional: DPWR=$G DPWR DGND=$G DGND
                              +
                                    params: MNTYMXDLY=0 IO LEVEL=0
                              +
                              U1 and (2) DPWR DGND
                                   AB Y
                              +
                                    D HC08 IO HC MNTYMXDLY={MNTYMXDLY} IO LEVEL={IO LEVEL}
                              +
                               .ends
```

Рис. 17.2. Обозначения цифровых цепей питания и земли

После вызова подсхемы интерфейса PSpice A/D вставляет один или несколько интерфейсных блоков питания. Например, PSpice A/D вставил DIGIFPWR, который является источником питания подсхем, используемых всеми TTL-моделями в библиотеке моделей. DIGIFPWR создает глобальные узлы \$ G_DPWR и \$ G_DGND, которые используются по умолчанию для каждого компонента части TTL. Для проверки на рис. 17.1 показано измеренное напряжение в узле \$ G_DPWR.

Выполним моделирование, используя профиль Transient с длительностью 100 мкс и максимальным шагом 10 нс.

На рис. 17.3 показаны цифровые формы сигналов, изображаемые в верхней области Probe и аналоговые сигналы, изображенные в нижней области.

В схеме (рис. 17.1) напряжение на неинвертирующем входе компаратора составляет ~ 5В. Если V1 > 5В, компаратор имеет на выходе низкий уровень и на выходе элемента «И» (74HC08) тактовые импульсы отсутствуют.



Рис. 17.3. Цифровые и аналоговые сигналы компаратора

17.2. Исследование цифро-аналогового преобразователя

На рисунке 17.4 показана функциональная схема цифро-аналогового преобразователя AD7224 (ЦАП).



В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

Рис. 17.4. Функциональная схема ЦАП AD7224

ЦАП AD7224 - это высокоточный 8-разрядный цифро-аналоговый преобразователь с выходным усилителем и двойным буфером интерфейсной логики на монолитном CMOS-чипе. Не требуется внешних подстроек для заданной производительности компонента. достижения полной Логика интерфейса с двойной буферизацией состоит из двух 8-битных регистров входной регистр и регистр ЦАП. Только данные, содержащиеся в регистре ЦАП, определяют аналоговый выход преобразователя. Двойная буферизация позволяет одновременно обновлять систему, содержащую несколько AD7224. Оба регистра могут быть доступны под управлением трех внешних линий CS, WR и LDAC. Когда оба регистра доступны, линия RESET выполняет функцию установки нуля. Эта функция полезна для циклов калибровки системы. Все логические входы - это уровни совместимые с TTL и CMOS (5 В), а логика управления по скорости совместима с большинством 8-разрядных микропроцессоров.

Схема модели цифро-аналогового преобразователя показана на рис. 7.5.

На вход подано цифровое информационное слово 0111 1111. Из спецификации производителя напряжение определяется:

$$V_0 = V_{REF} \cdot \frac{127}{256} = 4,96B$$

Циклы синхронизации ЦАП должны быть настроены в соответствии с технической спецификацией.

1. Настройте переходный анализ со временем моделирования 5 мс и максимальным шагом 10 нс.

2. Перейдите на вкладку Options и выберите категорию Gate Level Simulation> General. Установите начальное значение цифровых схем нулевым: DIGINITSTATE = 0 (рис. 17.6). Закройте профиль моделирования.

3. Поместите маркеры напряжения на цепях LDAC, WR, CS и OUT.

4. Выполните моделирование.

Результаты показаны на рис. 17.7.

258



Рис. 17.5. Схема модели ЦАП

| Simulation Settings - PR-27 General Analysis Configuration | n Files Options Data Colle | ection Probe Win | Idow |
|---|--|------------------|------------------------------------|
| Analog Simulation General Auto Converge MOSFET Option General General Bias Point Transient Gate Level Simulation General Advanced General Advanced General Advanced General General | Name DIGMNTYMX Ty NOPRBMSG I DIGINITSTATE 0 DIGIOLVL 1 | Value | Default Value Typical X 1 |
| | OK Cancel | Apply | Reset Help |

Рис. 17.6. Установка нулевого состояния цифровых схем



Рис. 17.7. Результаты моделирования ЦАП

В окне Probe вы увидите, что верхнит графики показывают цифровые сигналы, а нижний график показывает аналогового выходной сигнал, достигающий значения ~ 5 В.

Установка программного обеспечения Cadence \ OrCAD включает в себя хороший выбор примеров аналоговых, цифровых и смешанных схем в каталогах anasim, digsim и mixsim. Их можно найти в установочном каталоге, например:

< install path> $\ Cadence \ SPB_17.2 \ tools \ pspice \ samples \ (apture_samples \ orCAD_17.2 \ tools \ pspice \ samples \)$

17.3. Контрольные вопросы

1. Как продставляются результаты смешанного моделирования аналоговых и цифровых схем в окне Probe ?

2. Какие типы соединительных узлов использует PSpice ?

3. Поясните работу модели аналогового компаратора с цифровым выходом.

4. Как подводят питание к цифровым компонентам и что следует указать в свойствах модели компонента ?

5. Поясните форму цифровых и аналоговых сигналов в модели компаратора.

6. Поясните назначение управляющих сигналов ЦАП AD7224.

7. Как вычисляют выходное напряжение ЦАП для известного цифрового сигнала ?

8. Поясните настройку модели ЦАП.

9. Поясните форму графиков результатов моделирования ЦАП.

Вводимая для моделирования принципиальная схема может быть либо плоской, в которой сигналы соединены между страницами схемы, или иерархической, в которой схема разделена на блоки и сигналы соединены поперечно вверх и вниз по иерархии.

Создадим новый проект FullAdd (полный сумматор) в папке PR-28. Плоские схемы представлены в Менеджере проекта как имеющие одну схемную папку с рядом ассоциированных страниц, в то время как иерархические схемы будет иметь более чем одну схемную папку (Рис. 18.1а).

18.1. Создание иерархического проекта

В окне менеджера проекта создаются файл fulladd.dsn. Ниже дизайнфайла, создаётся папка с именем SCHEMATIC1. Эта папка имеет страницу схемы названную PAGE1.



Рис. 18.1. Структура плоского проекта (а) и иерерхического проекта (б)

Электрические схемы большинства проектов размещаются на нескольких страницах не самого большого формата. Имеются два способа организации схем большого объема:

- плоские обычные многостраничные структуры;
- иерархические структуры.

Электрические цепи, расположенные на разных страницах многостраничной схемы, соединяются друг с другом с помощью так называемых межстраничных соединителей (off-page connectors), имеющих одинаковые имена. Все страницы таких схем содержатся в одной папке на одном и том же уровне. Их структура показывается в менеджере проектов при нажатии клавиши File. Например, на рис. 18.1 в папке SCHEMATIC 1 могут быть помещены страницы схемы PAGE1 и PAGE2.

В иерархическим проектах каждая схемная папка в иерархии будет представлена иерархическим блоком в схемной папке. Выбрав иерархический блок, вы выбираете основную схему и эффективно спускаетесь вниз по иерархии. Для плоской схемы (рис. 18.1а), есть одна схемная папка и одна или несколько страниц. Для иерархической схемы (рис. 18.1б) может быть две и более схемные папки в иерархии и каждая со своей собственной схемной страницей или страницами. Каждую папку мы создаем, выбрав в меню проекта FullAdd опцию New Shematic и задав название новой папки.

На схемах **иерархических** проектов размещаются специальные символы, называемые иерархическими блоками (hierarchical block). Принципиальная электрическая схема каждого такого блока размещается в виде отдельной схемы, помещаемой в папку на том же уровне иерархии, что и основная схема. Иерархическая структура показывается в менеджере проектов при нажатии клавиши **Hierarchy**.

18.1.2. Создание плоского проекта полусумматора HalfAdd

Создадим сначала плоский проект для моделирования цифрового полусумматора HalfAdd. Для полного сумматора полусумматор является проектом нижнего уровня.

Переименуем папку SHEMATIC1 и PAGE1, назвав их HALFADD (рис. 18.2).



Рис. 18.2. Структура проекта с полусумматором

Напомним, что перед тем, как начать создания дизайна в OrCAD Capture, вы можете указать по умолчанию характеристики для вашего проекта с использованием шаблона дизайна. Шаблон дизайна может использоваться для указания шрифтов по умолчанию, размера страницы, заголовков блока, сетки и так далее. Чтобы настроить шаблон дизайна в OrCAD Capture, используйте диалоговое окно Design Template.

Для того, чтобы открыть диалоговое окно Design Template, из меню Options выберите Design Template (рис. 18.3).

| Options Window Help | Design Template | | × |
|--|-------------------------------|--|------------------|
| Preferences | Fonts Title Block Page Size G | arid Reference Hierarchy SDT Compatibili | ity |
| Design Template | Arial 7 Alias | Arial 7 | Pin Name |
| Auto <u>b</u> ackup | Arial 7 Bool | kmark Arial 7 | Pin Number |
| CIS <u>C</u> onfiguration CIS Preferences | Arial 7 Bord | ler Text Arial 7 | Port |
| Design Properties | Arial 7 Hier | archical Block Arial 7 | Power Text |
| Schematic Page Properties | Arial 7 Net | Name Arial 7 | Property |
| Part Properties | Arial 7 Off-I | Page Connector Courier New 7 | Text |
| P <u>a</u> ckage Properties | Arial 7 Part | Reference Arial 7 | Title Block Text |
| | Arial 7 Part | Value | |
| | | | |
| | | | |
| | | ОК | Отмена Справка |

Рис. 18.3. Настройка шаблона дизайна

18.1.3. Иерархические порты и off-page разъемы

Так как полусумматор будет входить в более сложный иерерхический проект, рассмотрим новые компоненты для различных соединений.

В иерерхических схемах и в случае плоских схем обычно имеется одна папка и одна или более страниц. Для подключения сигналов между страницами, используются внестраничные разъемы: Place > Off-Page Connectors (рис 18.4). Два типа разъемов используют для указания направления потока данных, тоесть от входа к выходу. Когда провод подключается к внестраничному разъему, схемное название провода наследует имя соединителя.

| Place Off-Page Connector | | × |
|--|-----------------------------|---|
| Symbol: OFFPAGELEFT-L OFFPAGELEFT-R OFFPAGELEFT-R Libraries: | <pre> ≪OFFPAGELEFT-L </pre> | OK Cancel Add Library Remove Library Help |
| Design Cache DISCRETE MISCPOWER SOURCE | Name: OFFPAGELEFT-L | |
| NetGroup OffPage | | |

Рис. 18.4. Внестраничные порты

Иерархические порты подключают сигналы между уровнями иерархии. Для установки таких портов надо выбрать Place >Hierarchical Ports (Puc. 18.5). Как и с внестраничными разъемами, провод подключенный к иерархическому порту наследует имя порта.

| Place Hierarchical Port | | × |
|---|-----------------------------------|---|
| Symbol: PORTBOTH-L PORTBOTH-R PORTLEFT-L PORTLEFT-R PORTLEFT-R PORTNO-L ECONTRICE Libraries: CAPSYM Design Cache DISCRETE MISCPOWER SOURCE | PORTBOTH-L Name: PORTBOTH-L | OK Cancel Add Library Remove Library Help |
| NetGroup Port | | |

Рис. 18.5. Размещение иерархических портов



Рис. 18.6. Различные виды иерархических портов

Доступны различные иерархические порты, отличающиеся типом порта и направление потока данных. Рис. 18.6 показывает различные типы иерархических портов. Для примера: PORTRIGHT-R представляет собой порт, который имеет направление передачи вправо и имеет соединение на правой стороне.

В этом разделе мы создадим простой плоский полусумматор с портами X и Y в качестве входов и SUM и CARRY в качестве выходов.



1. Требуется создать схему (рис. 18.7) из библиотеки Parts.

Рис. 18.7. Схема простого полусумматора

2. В меню Place в Capture, выберите Part. В диалоговом окне Place Part, сначала выберите библиотеку вентилей 7400.OLB, из которой должны быть добавлены компоненты, а затем добавьте их на страницу схемы.

3. Из меню Place выбираем иерархические порты:

входные порты из библиотеки CAPSUM : PORTRIGHT-R;

выходные порты из библиотеки CAPSUM: PORTLIGHT-L (рис. 18.6).

3. Выполняем соединения и переименовываем порты. Получаем нужную схему полусумматора (рис. 18.7).

18.1.4. Создание иерархического проекта Full Adder

В Capture можно создать иерархические проекты, используя один из следующих способов:

- восходящий метод (Bottom-up method);
- нисходящий метод (Top-down method).

Другой метод создания иерархического дизайна состоит в том, чтобы создавать компоненты или символы для дизайна на самом низком уровне и сохранять символов в определённой пользователем библиотеке. вы можете позже добавить определённую пользователем библиотеку в ваши проекты и использовать эти символы на схеме. Например, вы можете создать компонент для дизайна полусумматора, а затем вместо иерархических блоков, использовать эту часть в новой схеме. Более подробно мы рассмотрим этот подход в разделе «Создание коспонентов для схем».

В этом разделе мы создадим иерархическую структуру полного сумматора. Конструкция с половинным сумматором, созданная в разделе «Создание плоского проекта полусумматора HalfAdd» будет использоваться в качестве дизайна самого низкого уровня.

18.1.5. Восходящий метод

При создании иерархической конструкции с использованием восходящей методологии, необходимо выполнить следующие действия.

• Создание схемы низшего уровня.

• Создание схем более высокого уровня, которые будут содержать низкоуровневыми схемы в виде иерархических блоков.

Выполняем следующие шаги:

1. Создание проекта в Capture по известной нам методике.

2. Создание схемы низшего уровня. В схеме полного сумматора, например, дизайном нижнего уровня является полусумматор.

Для того, чтобы пройти шаги по созданию дизайна полусумматора, надо повторить действия из разделов 8.1.2, 8.1.3. Можно вместо этого создать новый проект fulladd-2 на основе ранее созданного проекта fulladd.

3 Создание конструкции более высокого уровня. Надо создать схему для полного сумматора, который использует полусумматор, созданный на предыдущем шаге. Нужные шаги приведены в следующем разделе.

18.1.6. Создание схемы полного сумматора

1. В окне менеджера проекта, щёлкните правой кнопкой мыши на fulladd.dsn и выберите New Schematic.

2. В диалоговом окне Schematic укажите имя новой схематическом папки как FULLADD и нажмите ОК (рис. 18.8).

| 🗊 FullAdd [HALFADD Star | t Page | FullAdd* 🛐 HALFADD Start Page |
|--|---------------|---|
| n File 🖏 Hierarchy | | 💼 File 🔩 Hierarchy |
| □ Design Resources ↓ fulladd.dsn ↓ ↓ | New Schematic | □ □ |

Рис. 18.8. Создание папки FULLADD

В окне диспетчера проекта, папка FULLADD появляется ниже fulladd.dsn. 3. Сохраните дизайн.

4. Для того, чтобы сделать схему полного сумматор в качестве корневого дизайна (проект верхнего уровня), щёлкните правой кнопкой мыши на FULLADD и из всплывающего меню выберите Make Root.

Папка FULLADD движется вверх и в папке появляется передний слэш (рис. 18.9).



Рис. 18.9. Перемещение папки FULLADD вверх

5. Щелкните правой кнопкой мыши на FULLADD и выберите New Page.

6. В новой странице в схеме: в окне диалога FULLADD укажите название страницы, как FULLADD и нажмите ОК. Новая страница FULLADD добавляется ниже схемной папки FULLADD.

7. Дважды щёлкните страницу FULLADD, чтобы открыть её для редактирования.

8. В меню Place выберите Hierarchical Block.

9. В диалоговом окне Place Hierarchical Block, укажите ссылку на HALFADD_A1 (рис. 18.10).

10. Укажите тип осуществления как Schematic View.

11. Укажите имя осуществления как HALFADD и нажмите кнопку ОК.

Рис. 18.10. Создание иерархического блока

Курсор изменится на перекрестие.

12. Нарисуйте прямоугольник на странице схемы.

Иерархический блок с входными и выходными портами будет нарисован на странице.

13. При необходимости измените размер блока. Кроме того, переместите входные и выходные порты на блоке путем перетаскивания.

Примечание: Для того, чтобы проверить, является ли иерархический блок правильным, выделите его, щёлкните правой кнопкой мыши на блоке и выберите Descend Hierarchy. Должна появиться ранее созданная схема полусумматора (рис.18.11).



Рис. 18.11. Проверка правильности иерархического блока

14. Поместите другой экземпляр иерархического блока на схематическую страницу. Для этого :

- Выделите иерархический блок.
- В меню «Правка» выберите команду «Копировать».
- В меню «Правка» выберите команду «Вставить».
- Поместите экземпляр блока в желаемое место нахождения.

Примечание: В качестве альтернативы, вы можете использовать <Ctrl> + <C> и <Ctrl> + <V> для копирования и вставки блока.

15 По умолчанию позиционное обозначение для второго иерархического блока будет HALFADD_A2. Дважды щёлкните на позиционное обозначение, чтобы изменить ссылку на HALFADD_B1 (рис. 18.12).



Рис. 18.12. Установка второго иерерхического блока Двойной щелчок на блоке раскроет его содержимое.

16. Используя Place Part, добавьте вентили ИЛИ (7432) к схеме и соедините блоки проводниками, как показано на рис. 18.13.



Рис. 18.13. Соединения иерархических блоков

17. Добавьте стимул к дизайну. В диалоговом окне Place Part, используйте кнопки Add Library для добавления к дизайну библиотеки SOURCSTM. OLB.

Эта библиотека находится в <install_dir>/tools/capture/library/pspice.

18. Из Part List выберите DigStim1 и нажмите кнопку ОК. Символ прикрепляется к курсору.

19. Поместите символ на трех входных портах: порт X на HALFADD_A1, порт X и Y на HALFADD_B1.

20. Щёлкните правой кнопкой мыши на схеме и выберите End Mode.

21. Укажите значение свойства по осуществлению как Саггу, X и Y, соответственно (рис. 18.14).

| DSTM3 | HALFADD_A1 | |
|------------------------|------------------------------|------|
| <u>\$1</u> | X | |
| Implementation = CARRY | | |
| | | |
| | | |
| | Y CARRY | |
| | HALFADD | |
| | | |
| DSTM1 | HALFADD B1 | 7432 |
| <u>\$1</u> | -X a construction of the SUM | |
| Implementation = X | | |
| | | |
| DSTM2 | | |
| | Y CARRY | |
| Implementation = Y | HALFADD | |

Рис. 18.14. Установка стимулов в проект

22. Выберите Place Part, чтобы добавить выходной порт CARRY_OUT на выходе логического элемента ИЛИ (рис. 18.15).

Для этого:

- Из списка библиотек выберите CAPSYM.
- Из списка символов выберите PORTLEFT-L и нажмите кнопку ОК.
- Поместите выходной порт, как показано на рис. 18.15.
- Дважды щёлкните имя порта и измените название порта на CARRY_OUT.
- 30. Сохраните дизайн.



Рис. 18.15. Добавление выходного порта CARRY_OUT

18.1.7. Добавление в проект аналоговых компонентов

Мы только что добавили цифровые компоненты к конструкции. Полная схема проекта показана на рис. 18.16.



Рис. 18.16. Полная схема проекта FULLADD с аналоговыми компонентами

Резисторы можно взять из библиотеки PSpice Components или ANALOG.OLB.

Транзистор Q2N2222 находим в библиотеке EVAL, добавляем эту библиотеку в проект и помещаем транзистор в схеме.

Источник напряжение 5Vdc можно взять из библиотеки PSpice Components.

Из библиотеки CONNECTOR надо добавить в проект коннектор CON2 (рис. 18.17).

| Browse File | | | X | | Place Parl Parl | |
|-----------------|--|------------------|----------|---------|-----------------------------------|--------------------------|
| Пап <u>к</u> а: | 🕌 library 👻 | G 🌶 📂 🖽 - | | 1 🛰 | CDN2 | |
| (ha | Имя | Дата изменения | Тип | 5 5 | Part List: CON16AP | ¥ |
| | 퉬 pspice | 18.06.2018 9:50 | Папка | 🔰 🎽 | CON160 | |
| Недавние | 📓 Amplifier | 18.08.2009 9:43 | Файл ' 🗉 | n 👍 | CON17 CON10 | |
| места | 📓 Arithmetic | 18.08.2009 9:43 | Файл ' | 1.000 | CON18A | |
| | ATOD | 18.08.2009 9:43 | Файл ' | | CJN2 | - |
| | BusDriverTransceiver | 04.12.2014 17:14 | Файл ' | 🚽 🖳 | Librares, | |
| Рабочий стол | 📓 capsym | 25.04.2016 4:15 | Файл ' | | | C 🐑 🗙 |
| | S Connector | 18.08.2009 9:43 | Файл ' | | CC 4000 CCNNECTOR | ^ |
| | 📓 Counter | 18.08.2009 9:43 | Файл ' | 🖸, 🗙 | CLUNTER DATACENS | |
| | 📓 Discrete | 14.10.2016 15:20 | Файл ' | 고고 | DCI OCK2 | |
| Библиотеки | 🖻 DRAM | 18.08.2009 9:43 | Файл ' | | Design Lache | • |
| | 📓 ElectroMechanical | 18.08.2009 9:43 | Файл' 🖕 | 13 14 | J? | Packaging Packaging 1 |
| | · [III | | Þ | B 23 | _1 | Para V |
| Компьютер | Имя файла: Connector | - <u> </u> | ткрыть | NS also | 2 | Type: Homogeneous |
| | <u>Т</u> ип файлов: Capture Library(*.olb) | - (| Отмена | | <value></value> | |
| | П Только <u>ч</u> тение | | | | Normal Convert Search for Eat | |

Рис. 18.17. Добавление коннектора СОМ2

Итак, вы успешно создали иерархический дизайн полного сумматора с использованием методологии снизу вверх. Все компоненты, используемые в этой конструкции, кроме коннектора были взяты из PSpice Library. Временно исключив коннектор, вы можете моделировать эту конструкцию с помощью PSpice.

18.1.8. Создание и сохранение компонентов для новых проектов

В предыдущем проекте FULLADD были созданы схемы полусумматоров, которые могут быть полезны в новых проектах.

Вместо того, чтобы создавая иерархический блок, каждый раз собирать схему полусумматора, вы можете, используя уже готовую схему, создать компонент «Полусумматор», сохранить его в библиотеке, а затем повторно использовать компонент в любой конструкции, когда потребуется.

В этом разделе, мы создадим компонент для схемы простого полусумматора (рис. 18.7), который вы создали в разделе плоской схемы этой главы. Такие созданные компоненты называют ещё Hierarchical symbol (иерархический символ).

Чтобы сформировать компонент из схемы, выполните следующие шаги.

1. В окне менеджера проекта, выберите папку HALFADD.

2. В меню Tools выберите Generate Part.

3. В диалоговом окне Generate Part (рис. 18.18), укажите местоположение дизайн-файла, содержащего схему, для которой этот компонент должен быть сделан.

Для этого примера надо указать местоположение fulladd.dsn.

4. В раскрывающемся списке Netlist/source, укажите тип источника как Capture/Shematic/Design.

5. В текстовом поле Part name, укажите имя компонента, который должен быть создан как HALFADD.

6. Укажите имя и расположение библиотеки, которая будет содержать этот новый компоенент. Для текущего примера дизайна, укажите имя библиотеки как fulladd.olb.

7. Если вы хотите, чтобы вместе с новым компонентом был создан схемный источник, установите флажок Copy Schematic в Library. Для этой конструкции выберите Check box.

8. Убедитесь, что выбрана опция Create new part.

| Start Page 🔠 fulladd-2* 🛐 | Generate Part |
|---|---|
| File Hierarchy File file fulladd.dsn* FullADD HALFADD HALFADD | Netlist/source file: OK c:\projects 17.2\pr-29\fulladd dsn Browse Netlist/source file type: Cancel Capture Schematic/Design Primitive Part name: Other Schematic |
| HALFADD HalfADD | Destination part library: |
| B PSpice Resources | c:\projects 17.2\pr-29\fulladd.olb Browse Image: Create new part Update pins on existing part in library. Pick symbols manually Sort pins Image: Additional pins Additional pins Image: Accending order Specify the number of additional pins on part Image: Descending order Number of pins: |
| | Retain alpha-numeric pin-numbers. Device is pin grid array type package. Implementation Implementation type: Source Schematic name: Schematic View HALFADD Implementation file: Implementation file: c:\projects 17.2\pr-29\fulladd-2.olb Browse |

Рис. 18.18. Создание компонента HALFADD

9. Чтобы указать схемную папку, в которой содержится дизайн, для которого должен быть создан этот компонент, выберите HALFADD из имен раскрывающегося списка.

10. Нажмите кнопку ОК, чтобы сгенерировать компонент HalfAdd.

Откроется окно Split Part Section Input Spreadsheet с описанием выводов компонента (рис. 18.19).

| 🗀 File 🐛 Hierarchy | II S | plit Part | Section Input | Spreadsheet | | | | | | | • X |
|---|------|-----------|---------------|-------------|------------------|----------------|------------------|----------|--------------------|--------------------------|------|
| Design Resources Design fulladd-2.dsn* Design FULLADD | | Part Nar | me: HALFADD | | No. of Sections: | 1 | Part Ref Prefix: | U | Part Numb Numer | ering ic 💿 Alphabetic | , |
| FULLADD | | | Number | Name | Туре | Pin Visibility | Shape | PinGroup | Position | Section | |
| HALFADD | | 1 | | x | Input | | Line | | Left | 1 | |
| HALFADD | | 2 | | Y | Input | | Line | | Left | 1 | |
| Design Cache | | 3 | | CARRY | Output | | Line | | Right | 1 | |
| | | 4 | | SUM | Output | | Line | | Right | 1 | |
| Outputs Outputs | | Add F | Pins D | elete Pins | | | | Save | Cano | cel He | łp 🛛 |

Рис. 18.19. Описание созданного компонента

Новая библиотека fulladd.olb будет сгенерована и будет видна в папке Outputs в окне диспетчера проекта (рис. 18.19). Новая библиотека также добавляется в окно Place Part. Теперь вы можете использовать диалоговое окно Place Part, чтобы добавить компонент «Полусумматор» в любой новый дизайн. Для этого в библиотеки нового проекта надо добавить библиотеку fulladd.olb из предыдущего проекта со схемой полусумматора из папки библиотеки FULLADD. После этого поместите на страницу компонент HALFADD (рис. 18.20). Посмотрите его схему.



Рис. 18.20. Открытие сохраненного компонента полусумматора

18.1.9. Нисходящий метод

При создании иерархической конструкции, используя нисходящий метод, надо применять следующую последовательность шагов:

• Создать дизайн верхнего уровня с использованием функциональных блоков, входов и выходов, которые известны.

• Создать схематический дизайн для функционального блока, используемого в конструкции верхнего уровня.

В этом разделе представлен обзор шагов, которым необходимо следовать для создания полного сумматора, используя нисходящий метод.

1. Создайте проект FullAdd-TD.

2. Создайте дизайн верхнего уровня, используя следующие шаги:

2.1. В меню Place выберите иерархический блок.

Примечание: В качестве альтернативы, вы можете выбрать кнопку на



панели инструментов

2.2. В диалоговом окне Place выберите Hierarchical Block, укажите ссылку как HALFADD_A1, Тип реализации, имя реализации, как HALFADD, и нажмите OK (рис. 18.21).

| Place Hierarchical Block | | × |
|--------------------------|-----------|-----------------|
| Reference: HALFADD_A1 | Primitive | ОК |
| | Yes | Cancel |
| | Oefault | User Properties |
| | | Help |
| Implementation | | |
| Implementation Type | | |
| Schematic View | | - |
| Implementation name: | | |
| HALFADD | | ▼ |
| Path and filename | | - Browse |
| | | • |
| | | |

Рис. 18.21. Создание первого иерархического блока

2.3. Нарисуйте иерархический блок с нужными размерами (рис. 18.22).

Обратите внимание, что в отличие от иерархического блока, созданного в восходящем методе, иерархический блок в нисходящем методе не имеет приложенной информации о портах.

2.4. Выберите иерархический блок и затем из меню Place, выберите Hierarchical Pins (рис. 18.23).



Рис. 18.22. Изображение иерархического блока

| | I BEELEE | | | S |
|---|------------------|------------------|-----------------|------|
| (| Place Hierarchic | al Pin | HALFADD | CARI |
| LFADD | Name: | Width | | |
| | × | Scalar | ОК | |
| 11111111 | <u>Type:</u> | © <u>S</u> calar | Cancel | |
| | Input | | | |
| 0.0010000000000000000000000000000000000 | Netgroup | | User Properties | |
| | | | | |

Рис. 18.23. Установка контактов блока

2.5. В диалоговом окне Place Hierarchical Pin укажите имя контакта как X, тип как вход, Width как Scalar и нажмите кнопку ОК.

2.6. Поместите пин, как показано на рис. 18.23. Аналогично добавьте пин У и два выходных пина SUM и CARRY.

2.7. Поместите другой иерархический блок с Implementation Туре как HALFADD. Простейший способ сделать это - скопировать существующий иерархический блок и вставить его на страницу схемы. По умолчанию опорное название второго иерархического блока HALFADD_A2. Измените этого название на HALFADD_B1 (рис. 18.24).



Рис. 18.24. Установка второго иерархического блока

2.8. Завершите создание схемы полного сумматора путём добавления портов, проводов и стимулов. Получится полный сумматор (рис. 18.25).



Рис. 18.25. Схема структуры полного сумматора без внутренних схем

2.9. Сохраните проект.

3. Нарисуйте дизайн низшего уровня, используя шаги, перечисленные ниже.

Например, для полного сумматора, самым низким уровнем является полусумматор.

3.1. Чтобы нарисовать схему полусумматора, щёлкните правой кнопкой мыши на любом из иерархических блоков HALFADD.

3.2. Из всплывающего меню выберите Descend Hierarchy.

3.3. Появится новая страница в Schematic: 'HALFADD' . Укажите имя страницы как HALFADD и нажмите кнопку OK.

Новая страница схемы появится с двумя входными портами X и Y, и двумя выходными портами SUM и CARRY (рис. 18.26).



Рис. 18.26. Заготовка для схемы полусумматора

Теперь вы можете нарисовать схему полусумматора на этой странице схемы, используя шаги, описанные ранее в создании плоской конструкции (рис.18.27).



Рис. 18.27. Повторный набор схемы полусумматора

4. Вместо того, чтобы повторно создавать схему, загрузим сохраненный ранее компонент полусумматора.

Для этого в схеме (рис. 18.25) двойным щелчком откройте пустую страницу полусумматора HALFADD_A1.

Выберите Place Part и добатьте в список библиотек fulladd.olb из папки предыдущего проекта, в котором был создан и сохранен компонент «Полусумматор» (рис. 18.20).

Откройте библиотеку fulladd.olb и поместите на страницу компонент HALFADD (рис. 18.28).



Рис. 18.28. Добавление в проект ранее созданного компонента

Сохраните проект. После этого иерархические блоки будут иметь внутри схемы полусумматоров.

В окне диспетчера проекта, добавляется новая схематичная папка HALFADD ниже полной fulladd-td.dsn (рис. 18.29).



Рис. 18.29. Структура диспетчера иерархического проекта

Двойной щелчок на иерархическом блоке открывает его внутреннюю схему. Это же можно сделать так: выделите блок, щёлкните правой кнопкой и в меню выберите Descent Hierarchy.

18.2. Перемещение по иерархической конструкции

Для перехода на более низкие уровни иерархии, щёлкните правой кнопкой мыши иерархический блок и выберите Descend Hierarchy.

Точно так же, чтобы двигаться вверх по иерархии, щелкните правой кнопкой мыши на схеме полусумматора и выберите Ascend Hierarchy (рис. 18.30).

Опции меню Ascend Hierarchy и Descend Hierarchy также доступны в окне в раскрывающемся меню окна View.



Рис. 18.30. Перемещение вверх по иерархии

Во время работы с иерархическими конструкциями, вы можете сделать изменения в иерархических блоках, а также в конструкции на самом низком уровне. Для того, чтобы сохранить обновления с изменениями различных уровней иерархии, вы можете использовать Synchronize options, которые доступны в меню View.

Выберите Synchronize Up, когда вы внесли изменения в конструкции самого нижнего уровня и хотите, чтобы эти изменения были отражены выше в иерархии.

Выберите Synchronize Across, когда после внесения изменений в иерархическом блоке необходимо, чтобы изменения были отражены во всех экземплярах блока.

Выберите Synchronize Down, когда вы внесли изменения в иерархическом блоке и хотите, чтобы эти изменения были отражены в конструкции самого нижнего уровня.

18.3. Моделирование полного сумматора

Выполним моделирование полного сумматора, чтобы получить временные диаграммы его функционирования.

Вернемся к схеме полного сумматора с цифровыми сигналами (рис. 18.31). В этой схеме временно исключен коннектор CON2, так как для него нет PSpice модели.



Рис. 18.31. Схема полного сумматора с цифровыми сигналами Выполним установку цифровых стимулов (рис. 18.32).

| New Stimulus | Clock Attributes | Clock Attributes | Clock Attributes |
|--|--------------------------|--------------------------|--------------------------|
| Name: Carry Analog EXP (exponential) C EVL (picewise linear) C SEFM (single-frequency FM) C SIN (sinusoidal) Digital Clocki C Signal Bus Width: Initial Yalue: | Name: Carry | Name: X | Name: Y |
| | Specify by: | Specify by: | Specify by: |
| | Frequency and duty cycle | Frequency and duty cycle | Frequency and duty cycle |
| | Period and on time | Period and on time | Period and on time |
| | Period (sec) 100ms | Frequency (H2) 20 | Frequency (Hz) 40 |
| | On time (sec) 20ms | Duty cycle 0.5 | Duty cycle 0.5 |
| | Initial value 0 | Initial value 0 | Initial value 0 |
| | Time delay (sec) 0 | Time delay (sec) 0 | Time delay (sec) 0 |
| | OK Cancel Apply | OK Cancel Apply | OK Cancel Apply |

Рис. 18.32. Установка цицровых стимулов

В профиле моделирования Transient установим время 400 мс, шаг 100 мкс (рис. 18.33), а в опциях установим Gate Level Simulation.



Рис. 18.33. Установка профиля моделирования Результаты моделирования показаны на рис. 18.34.



Рис. 18.34. Результаты моделирования полного сумматора

18.4. Контрольные вопросы

1. В чем разница между плоской и иерархической схемой ?

2. Какую структуру имеют иерархические проекты?

3. Какие внестраничные и иерархические порты используют в PSpice ?

4. Расскажите о методологии создания иерархического проекта восходящим методом.

5. Как проверить правильность схемы иерархического блока?

6. Как создать несколько аналогичных иерархических блоков ?

7. Как создать и сохранить новый компонент, например, полусумматор?

8. Где будет сохранена новая библиотека для созданного компонента?

9. Расскажите о методологии создания иерархического проекта нисходящим методом.

10. Как создать дизайн низшего уровня в нисходящем методе?

11. Как использовать сохраненный ранее компонент для создания дизайна низшего уровня ?

12. Какие опции используют для перемещения по иерархической конструкции и контроля схем ?

13. Как можно вносить изменения в иерархические проекты и сохранять их ?

14. Почему при моделировании полного сумматора приходится временно удалять коннектор ?

Глава 19. Испытательные стенды

Как правило, при запуске пробной симуляции, чтобы проверить цепь на схеме можно добавить, например, источники напряжения и резисторы нагрузки. Вы можете даже удалить некоторые компоненты из схемы. Однако, как только пробное моделирование выполнено, все добавленные элементы должны быть удалены, а любой удаленный компонент надо восстановить.

До версии 16.5 можно было добавить свойства PSpiceOnly для компонентов, которые используется только для моделирования, и поэтому эти свойства не будут включены, например, в списке соединений для печатной платы (PCB). Начиная с версии 16.5, вы можете использовать опцию Partial Design Feature, которая использует испытательные стенды, позволяющие Вам определить те компоненты, которые используются только для моделирования. Вы можете также выборочно разделить схемы для различных профилей моделирования и создавать проекты с использованием схемы из других проектов. Использовать испытательные стенды очень полезно, когда у вас есть схема, которая была составлена из набора схем из других проектов. Это позволит вам проверить работоспособность каждой отдельной цепи, которую вы встроите позже в полную схему.

При создании тестового стенда, папка Test Bench, которая содержит всю схемную документацию, добавляется в нижней части Менеджера проекта. Все компоненты во всех схемах в папке Test Bench будут выделены серым цветом. Тогда выборочно можно «активировать» те части, которые необходимы для моделирования и добавить детали, такие как источники напряжения и нагрузочные сопротивления. Компоненты могут быть выбраны и исключены из основной схемы или из созданных испытательных стендов.

При создании тестового стенда в проекте создается другая схемная папка. Папка проекта будет содержать две папки:

<project name>- PSpiceFiles

<project name>- TBFiles

Схема со схемной утилитой (SVS) будет сравнивать схемы испытательного стенда с основным проектом таким образом, что основной проект может быть обновлён с модифицированными значениями компонентов.

19.1. Использование частичного моделирования проекта

Используя функцию частичного моделирования, вы можете:

- Определить отдельные компоненты любого проекта и моделировать только выбранные части;
- Моделировать различные схемы в проекте с различными профилями моделирования;
- Создать список соединений только для определенной части проекта;

- Сравнивать и быстро объединять части дизайна. Чтобы использовать эту функцию, вы выбираете часть, называемую тестовым стендом основного проекта. Вы создаете один или более тестовых стендов с помощью меню OrCAD Capture Tools> Test Bench>Create Test Bench. Испытательные стенды перечислены в окне диспетчера проектов главного проекта.
- Вы можете добавить компоненты из проекта в тестовый стенд, выбрав их из основного, а затем можно добавить профили и смоделировать тестовый стенд. Вы также можете синхронизировать основной проект с тестовым стендом, чтобы распространить любые изменения, внесенные в дизайн стенда.

Вы можете использовать частичное моделирование проекта в потоке, по-казанном на рис. 19.1.

Для этого:

- 1. Создайте тестовый стенд.
- 2. Выберите детали в главной схеме.
- 3. Завершите соединение плавающих цепей в тестовом стенде.
- 4. Моделируйте схему тестирования.
- 5. Просмотрите различия свойств между стендом и основным проектом.
- 6. Обновите основной проект с измененными значениями.

Остальные разделы данной главы подробно объясняют эти шаги.

Для использования этой функции требуется лицензия OrCAD Capture CIS.



Рис. 19.1. Поток частичного моделирования тестового стенда

19.2. Работа с тестовым стендом

Тестовый стенд подобен любому другому новому проекту, созданному в Capture. Когда вы создаете тестовый стенд, он перечисляется под узлом TestBenches в Менеджере главного проекта. Все профили моделирования, параметры или переменные в основном проекте копируются по умолчанию в тестовый стенд.

Компоненты в разных схемах выделены серым цветом. Вы можете активировать компоненты для создания частичного проекта.

Возможно, вам придется добавить окончания соединений и другие компоненты в частичный проект стенда, потому что проект стенда должен быть полным сам по себе.

Вы также можете внести изменения на свой стенд, чтобы подготовить его для моделирования, добавив профили стимулов или моделирования. Вы можете моделировать тестовый стенд даже, если основной проект не является проектом PSpice. Если главный проект является проектом PSpice, Test Bench может наследовать профили моделирования из основного проекта.

19.2.1. Создание тестового стенда

Создайте новый проект TestBench на основе ранее исследованного проекта аналогового компаратора с цифроым выходом (глава 17).

1. Выберите файл DSN в диспетчере проектов

- 2. Выберите Tools>Test Bench>Create Test Bench.
- Появится поле Test Bench.

3. Введите имя в поле Enter Test Bench Name.

Вы можете установить имя тестового стенда по умолчанию, добавив свойство Default Test Bench Name в [TEST BENCH] раздела capture.ini. Например, чтобы установить имя тестового стенда по умолчанию для MyTestBench, добавьте следующий раздел в capture.ini:

[TEST BENCH] Default Test Bench Name=MyTestBench Нажмите «OK».

Тест-стенд добавляется в TestBenches в диспетчере проектов. Созданный стенд содержит все конструкции из основного проекта (рис. 19.3).



Рис. 19.3. Добавление в проект тестового стенда

В главном проекте переименуем папку SHEMATIC и назовем ее COM-PAR.

Теперь в главном меню теперь имеется две закладки (рис. 19.4): COMPAR – схема основного проекта;

[TB]PAGE1 – схема тестового стенда.



Рис. 19.4. Схема испытательного стенда

Компоненты на страницах схемы тестового стенда неактивны. Вы должны добавить компоненты для стенда, чтобы иметь возможность работать над частичным проектом.

Примечание. Вы можете активировать тестовый стенд, щелкнув правой кнопкой мыши на стенде в диспетчере проектов в разделе TestBenches и выбрав MakeActive.

19.2.2. Активация компонентов

Вы можете активировать компоненты на стенде, используя любой из параметров: контекстное меню для выбранной части в главном проекте, контекстное меню для выбранных частей в дизайне стенда или из редактора иерархических блоков.

Чтобы активировать компоненты из главного проекта:

1. Выберите компоненты в главном проекте.

2. Щелкните правой кнопкой мыши и выберите TestBench>Add Part(s) To Active TestBench (рис. 19.5).
| U1 2 | User Assigned Reference <u>L</u> ock U <u>n</u> Lock | • | |
|---------|--|---|--------------------------------------|
| + | TestBench | | Add Part(s) To Active TestBench |
| | SI Analysis | ► | Remove Part(s) From Active TestBench |
| | Add Part(s) To Group Ctrl+Shift+ | 4 | 3 |
| 3 | Remove Part(s) From Group Ctrl+Shift+ | R | 2 |
| | Assign Po <u>w</u> er Pins | | |
| LM311 | Ascend Hierarchy | | 74HC08 |
| | Selection <u>F</u> ilter Ctrl+ | I | |
| | Fisheye view | | |

Рис. 19.5. Активизация компонентов Test Bench из основного проекта

Для активации компонентов из стенда:

Выберите компоненты в дизайне стенда.

Щелкните правой кнопкой мыши и выберите TestBench>Add Part(s) To Self (рис. 19.6).



Рис. 19.6. Активизация компонентов из испытательного стенда

Чтобы активировать компоненты с помощью редактора иерархии, проверьте компоненты, которые необходимо добавить в редактор иерархии основного проекта, как показано на рис.19.7.

| Start Page Testbench* 🕥 COMPAR* | Start Page Testbench* COMPAR* [13] [TB]myte | |
|-----------------------------------|---|------------|
| File . Hierarchy | File . Hierarchy | |
| DSTM1 (DIGSTIM1) | DSTM1 (DIGSTIM1) | <u>L</u> [|
| R2 (47K) R3 (1K) V1 (LM311) | R2 (47K) R3 (1K) U1 (LM311) | 1 |
| U2A (74HC08) | U2A (74HC08) | |
| V2 (VDC) | □ 2 (VDC) | A |

В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

Рис. 19.7. Проверка активации компонентов в иерархии

Точно так же вы можете инактивировать компонент из тестового стенда из контекстного меню или редактора иерархии. Capture игнорирует все неактивные компоненты. В результате эти неактивные компоненты не будут обрабатываться, например, для моделирования.

Когда вы активируете только часть дизайна, многие сети могут стать плавающими, потому что они не соединены. Вы можете легко решить эту проблему, выполнив плавающий сетевой поиск.

Для этого:

- Выберите дизайн тестового стенда в Capture;
- В меню поиска выберите Floating Nets (плавающие цепи), как показано на рис. 19.8.
- Нажмите кнопку «Find».

| Uĩ | | 6 🖸 🖬 🖬 | | <u>b</u> 1. |) - [] - [| ¢ | - 🙀 | Match Case |
|----|-----|------------------|---------------|-------------|------------------------|-------------|---------|---|
| | : E | ± № ₩ ₩ | !± ! ≰ | | | | | SelectAll DeselectAll Highlight Regular Expressions Property Name=Value |
| | | | | | | | | Parts Off-Page-Connectors |
| · | × | Object ID | Net Name | Page | Page Number | Schematic | Pin | <u>B</u> ookmarks |
| | ф. | DSTM1/2(PartPin) | VCC | PAGE1 | 1 | SCHEMATIC1\ | DSTM1.2 | lext |
| | | DSTM1/3(PartPin) | GND | PAGE1 | 1 | SCHEMATIC1\ | DSTM1.3 | Nets |
| - | | out(Wire Alias) | OUT | PAGE1 | 1 | SCHEMATIC1\ | U2A.3 | Flat IN <u>e</u> ts |
| ÷. | | | | | | | | <u>Floating Nets</u> |
| | | | | | | | | H <u>i</u> erarchical Ports |

Рис. 19.8. Поиск «плавающих цепей»

Все плавающие сети, требующие терминаторов, перечислены на вкладке «Плавающие цепи» в Find.

Дважды щелкните строку в окне поиска, чтобы выбрать ее в проекте.

19.3. Сравнение и обновление основного проекта

После того, как выполнена активация компонентов и правильное соединение всех компонентов, можно проверить функционирование испытательного стенда и сравнить результаты с основным проектом. Для этого генераторе стимула DSTM1 установим период 2 мкс и время включения 1 мкс. В профиле моделирование установим режим Transient на время 100 мкс с минимальным шагом 10 нс. Выполним моделирование. Результаты (рис. 19.9) совпадают с полученными ранее для основного проекта (рис. 17.3).



Рис.19.9. Результаты моделирования тестового стенда

Вы можете сравнить схемы в главном проекте и стенде, чтобы выделить расхождения с использованием утилиты SVS. Эта утилита отображает различия и использует цветовой код для выделения различных типов изменений. Окно результата имеет две панели, левая панель представляет испытательный стенд. Различия перечислены для категорий:

несовпадающие объекты (unmatched object) (желтый по умолчанию);

отсутствующие объекты (missing objects) (по умолчанию красные);

совпадающие объекты (matching objects) (белый цвет).

Вы можете проверить любое из перечисленных различий на панели тестового стенда и распространять изменения в основной проект.

Однако вы не можете обновить основной проект для отсутствующих объектов.

Вы можете нажать «Настройки» (), чтобы открыть диалоговое окно «Параметры» и изменить на вкладке цвета по умолчанию. Вы также можете фильтровать разные объекты, если вы не хотите, чтобы они были перечислены.

Для сравнения и распространения изменений:

1. Выберите основной DSN файл в диспетчере проектов.

2. Выберите Tools>Test Bench>Compare Test Bench.

В окне SVS отображаются различия между основным проектом и проектом тестового стенда. В тестовом стенде мы добавили резисторы R4 и R5. Их отсутсвие в основном проекте отмечено в окне SVS (рис. 19.10).

| Start Page 🔝 Testbench* 🛐 COMPAR* 🔝 [TB]mytest 🛐 [TB]PA | GE1 SVS |
|---|--|
| 🕒 🔓 🖞 Design_View 💽 🔇 | |
| Object | Obje |
| Source view objects are from C:\PROJECTS 17.2\PR-31\TESTBENCH-TB | Files/SCHEMATIC1/MyTestBench\MyTestBench.DSN |
| /SCHEMATIC1 | Desig |
| ▷ 🔲 /R1 | CON |
| ▶ 🛄 /R4 | CON |
| ▷ 📄 /R5 | CON |
| //1 | CON |
| ▷ <mark>□</mark> /V2 | CON |
| | |
| Object | Object Type/Value/Description |
| Target view objects are from C:\PROJECTS 17.2\PR-31\TESTBENCH.DSN | |
| /COMPAR | Design_View |
| /R1 | COMP_INSTANCE |
| NOT_PRESENT | |
| NOT_PRESENT | |
| VI NOT_PRESENT | COMP_PSPICE_INSTANCE |
| ▷ N2 | COMP_PSPICE_INSTANCE |

Рис.19.10. Окно сравнения проектов

Чтобы обновить основной проект с помощью различий в тестовом стенде, проверьте различия, которые вы хотите использовать для обновления на вкладке SVS и нажмите Accept Left ().

19.4. Контрольные вопросы

1. Для чего применяют и как используют испытательные стенды?

- 2. Как отображается тестовый стенд в Менеджере проекта?
- 3. Как используют функцию частичного моделирования проекта?
- 4. Как организован поток частичного моделирования ?
- 5. Расскажите о поряядке создания тестового стенда.

6. Как можно активировать компоненты на тестовом стенде из основного проекта ?

7. Как выполнить активацию компонентов из испытательного стенда?

8. Как проверить наличие плавающих цепей?

9. Как провести сравнение основного проекта и тестового стенда в окне SVS ?

Глава 20. Обработка схемы

После того как вы создали свой эскизный проект, вам может потребоваться обработка вашей конструкцию путём добавления дополнительной информации для таких задач, как моделирование, синтез и разработка топологии печатной платы.

В этом разделе описываются некоторые из задач, которые можно выполнять в OrCAD Capture для обработки вашего проекта.

Мы будем изучать это на примере проекта полного сумматора с выходным транзистором и коннектором из главы 18 (рис. 18.16 и 20.1). Для этого создадим новый проект в папке PR-33-Refer на основе проекта PR-29-FullAdd-2.



Рис. 20.1. Схема полного сумматора с выходным транзистором

20.1. Добавление ссылок для компонентов

Для того, чтобы быть в состоянии передать ваш эскизный проект в Редактор печатных плат для компановки и трассировки, вам необходимо убедиться, что все компоненты в конструкция однозначно идентифицируются со ссылками компонентов.

В OrCAD Capture можно назначить ссылки либо вручную или с помощью команды Annotate.

По умолчанию Capture добавляет ссылки на все компоненты, размещённые на странице схемы. При необходимости эту функцию можно отключить, выполнив действия, перечисленные ниже.

1. В меню Options выберите Preferences.

2. В диалоговом окне Preferences выберите Miscellaneous tab.

3. В разделе Auto Reference снимите флажок Automatically reference.

4. Нажмите кнопку ОК, чтобы сохранить эти настройки.

Последовательность действий показана на рис. 20.2.

| Options Window Help | |
|---------------------------|--|
| Preferences | |
| Design Template | |
| Auto <u>L</u> Preferences | |
| CIS <u>C</u> | |
| CIS Pr Colors/Print G | rid Display Pan and Zoom Select Miscellaneous Text Editor Board Simulation |
| Design Print | Print Print |
| Schen 🔽 | Preferences |
| Part P | Colors/Print Grid Display, Pan and Zoom, Select Miscellaneous, Text Editor, Board Simulation |
| P <u>a</u> cka | Schematic Page Editor |
| | Fill Style: None Render True Type fonts with strokes |
| | Line Style: |
| | Line Width: |
| | Color: Default Enable Auto Recovery |
| | Junction Dot Size: Small Update every 15 minutes |
| | Part and Symbol Editor Auto Reference |
| | Fill Style: None Automatically reference placed parts Design Level(Only FCB designs) |
| | Line Style: |
| | Line Width: |

Рис. 20.2. Отключнение автоматических ссылок

Поскольку существуют две копии иерархического HALFADD блока в дизайне FULLADD, оба дизайна должны быть аннотированы. Для этого выполним команду Annotate. (Хотя уникальные ссылки были назначены по умолчанию, когда компоненты были размещены, копирование иерархических блоков должно скопировать содержимое иерархического блока буквально и повторное аннотирование ссылок компонентов не требуется).

Чтобы присвоить уникальные ссылки на компоненты в проекте FULLADD с помощью команды Annotate, выполните следующие шаги:

1. В окне менеджера проекта, выберите файл pr-33-refer.dsn.

2. Из меню Tools выберите Annotate.

Примечание: В качестве альтернативы, вы можете нажать кнопку Annotate на панели инструментов

| Start Page 🗊 pr-33-refe | Annotate | × |
|---|---|--|
| Tools Plac | e SI Analysis Packaging PCB Editor Reuse Layout Reuse | |
| Tools Place File Hierarchy Annotate Design Resources Back Ann Update P Library Outputs Part Man PSpice Resources Design Resources | Packaging PCB Editor Reuse Layout Reuse Packaging PCB Editor Reuse Layout Reuse Refdes control required Scope © Update entire design © Update entire design © Update selection Action @ Incremental reference update © Reset part references to "?" © Add Intersheet References © Delete Intersheet References Mode © Update Occurrences © Update Intersheet References | Annotation Type Default |
| | Physical Packaging Combined property string: {Value}{Source Package} Reset reference numbers to begin at 1 in ea @ Annotate as per PM page ordering @ Do not change the page number @ Include non-primitive parts Preserve designator Preserve User Assigned Valid References | Additionally From INI : ch page Annotate as per page ordering in the title blocks ОК Отмена Справка |

Рис. 20.3. Аннотирование проекта

3. На вкладке Packaging диалогового окна Annotate укажите, хотите ли вы обновить полный дизайн или только часть конструкции. Выберите кнопку Update entire design.

4. В разделе Action выберите кнопку опции обновления Incremental reference.

Примечание: Чтобы узнать о других доступных опций, см. диалоговое окно справки.

5. Схема полного сумматора представляет собой сложную иерархическую конструкцию. Поэтому выбирайте опцию Update Occurrences.

(Это должно быть установлено по умолчанию).

Примечание: При выборе параметра Update Occurrences может появиться предупреждающее сообщение. Игнорируйте это сообщение, потому что для всех сложных иерархических конструкций режим Occurrences является предпочтительным режимом.

6. Для остальных параметров примите значения по умолчанию и нажмите кнопку ОК, чтобы сохранить настройки.

Появляется предупреждающее окно Undo Warning.

7. Нажмите кнопку Yes. Появится окно с сообщением о том, что проводится аннотация.

8. Нажмите кнопку ОК.

Ваша конструкция аннотирована и сохраняется. Вы можете просмотреть значение обновлённых указателей ссылок на странице Schematic. Для этого в главном меню на вкладке Windows откройте окно Session Log (рис. 20.4).

В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

| | | Window | Help |
|---|---|-----------------|---|
| × | | <u>N</u> ew V | Vindow |
| | INFO(ORCAP-1378): LAST USED REFERENCES | <u>C</u> asca | de |
| | DOTMO | Tile <u>H</u> | orizontally |
| | HALFADD A1 | Tile <u>V</u> e | ertically |
| | HALFADD_B1 | Close | All Tabs of Active Project |
| | J1 | Close | All <u>T</u> abs of Active Project Except Current |
| | Q1 | Arran | ge Icons |
| | R2 U3 | 1 Sess | ion Log |
| | V1 | 2 C/V P | rojectr 17 2\DD-32-Defer\pr-32-refer oni |
| | | 2/./ | |
| | INFO(ORCAP-1379): Done updating part references | 27-0 | TOLLADD TOLLADD |
| | | Close | All Windows |

Рис. 20.4. Просмотр указателей ссылок

Предупреждение:

При выборе команды Annotate после генерации списка соединений для редактора плат PCB Editor, вы получите сообщение об ошибке, при которой аннотирование на данном этапе может привести к тому, что плата выйдет из синхронизации с эскизным проектом. Это может привести к дальнейшим проблемам повторной аннотации (backannotation).

20.2. Создание отчёта перекрёстных ссылок

Используя Capture, можно создать перекрёстные справочные отчёты для всех компонентов в вашей схеме. Отчёт о перекрёстных ссылках содержит информацию, такую как название компонента, ссылку на компонент и библиотеку, из которой компонент был выбран.

Для создания отчета о перекрёстных ссылках с помощью Capture сделайте следующее:

1. В Менеджере проектов выделите файл pr-33-refer.dsn.

2. В меню Tools выберите Cross References.

В качестве альтернативы, вы можете выбрать кнопку перекрёстных ссылок на панели:

2. В диалоговом окне Cross Reference Parts убедитесь, что выбрана кнопка опции Cross reference entire design.

Примечание: Если вы хотите сгенерировать отчет перекрестных ссылок для конкретной схемной папки, выберите схемную папку перед открытием диалогового окна Cross Reference Parts, а затем выберите опцию Cross References.

3. В разделе Mode выберите кнопку Use Occurrences option.

Примечание: Не обращайте внимания на предупреждение, которое отображается при выборе режим Use Occurrences. Для сложной иерархической конструкции, вы должны всегда использовать этот режим.

4. Укажите отчёт, который вы хотите сгенерировать.

5. В случае, если вы хотите, чтобы отчёт отображался автоматически, установите флажок View Output.

| Cross Reference Parts | × |
|---|--------------|
| Scope © Cross reference entire design © Cross reference selection | OK Cancel |
| Mode Use instances (Preferred) Use occurrences | Help |
| Sorting Sort output by part value, then by reference designator Sort output by reference designator, then by part value | |
| Report Report the X and Y coordinates of all parts Report unused parts in multiple part packages Report File: | |
| Save as XRF Save as CSV View Output C:\PJORCAD\PJCAF-FULLADD-TD\FU Browse | |

Рис. 20.5. Установка параметров отчета

6. Нажмите кнопку ОК для создания отчёта. Образец выходного отчета показан на рис.20.6.

| PR-33-REFER — Блокнот | | | | | | | | | | |
|---|---------|-----------|---------|------------------------|--------|---------|---|--|--|--|
| Файл Правка Формат Вид Справка | | | | | | | | | | |
| Design Name: C:\PROJECTS 17.2\PR-33-REFER\PR-33-REFER.DSN | | | | | | | | | | |
| Cross Re | ference | July 1 | 0,2018 | <mark>12:17:1</mark> 9 | Page1 | | | | | |
| ltem | Part | Reference | е | Schemat | icName | Sheet | Library | | | |
| 1 | 1K | R1 | /FULLAC | D | 1 | C:\CADE | ENCE\SPB_17.2\TOOLS\CAPTURE\LIBRARY\PSPICE\ANALOG.OLB | | | |
| 2 | 1K | R2 | /FULLAD | D | 1 | C:\CADE | ENCE\SPB_17.2\TOOLS\CAPTURE\LIBRARY\PSPICE\ANALOG.OLB | | | |
| 3 | 7404 | U3A | HALFAD | D_A1/HAL | FADD | 1 | C:\CADENCE\SPB_17.2\TOOLS\CAPTURE\LIBRARY\PSPICE\7400.0LB | | | |
| 4 | 7404 | U3A | HALFAD | D_B1/HAL | FADD | 1 | C:\CADENCE\SPB_17.2\TOOLS\CAPTURE\LIBRARY\PSPICE\7400.OLB | | | |
| 5 | 7404 | U3B | HALFAD | D_A1/HAL | FADD | 1 | C:\CADENCE\SPB_17.2\TOOLS\CAPTURE\LIBRARY\PSPICE\7400.0LB | | | |
| 6 | 7404 | U3B | HALFAD | D_B1/HAL | FADD | 1 | C:\CADENCE\SPB_17.2\TOOLS\CAPTURE\LIBRARY\PSPICE\7400.0LB | | | |
| 7 | 7408 | U2A | HALFAD | D_A1/HAL | FADD | 1 | C:\CADENCE\SPB_17.2\TOOLS\CAPTURE\LIBRARY\PSPICE\7400.0LB | | | |
| 8 | 7408 | U2A | HALFAD | D_B1/HAL | FADD | 1 | C:\CADENCE\SPB_17.2\TOOLS\CAPTURE\LIBRARY\PSPICE\7400.0LB | | | |
| 9 | 7408 | U2B | HALFAD | D_A1/HAL | FADD | 1 | C:\CADENCE\SPB_17.2\TOOLS\CAPTURE\LIBRARY\PSPICE\7400.0LB | | | |
| 10 | 7408 | U2B | HALFAD | D_B1/HAL | FADD | 1 | C:\CADENCE\SPB_17.2\TOOLS\CAPTURE\LIBRARY\PSPICE\7400.0LB | | | |
| 11 | 7408 | U2C | HALFAD | D_A1/HAL | FADD | 1 | C:\CADENCE\SPB_17.2\TOOLS\CAPTURE\LIBRARY\PSPICE\7400.0LB | | | |
| 12 | 7408 | U2C | HALFAD | D_B1/HAL | FADD | 1 | C:\CADENCE\SPB_17.2\TOOLS\CAPTURE\LIBRARY\PSPICE\7400.0LB | | | |
| 13 | 7432 | U1A | /FULLAD | D | 1 | C:\CADE | ENCE\SPB_17.2\TOOLS\CAPTURE\LIBRARY\PSPICE\7400.0LB | | | |
| 14 | 7432 | U1B | HALFAD | D_A1/HAL | FADD | 1 | C:\CADENCE\SPB_17.2\TOOLS\CAPTURE\LIBRARY\PSPICE\7400.0LB | | | |
| 15 | 7432 | U1B | HALFAD | D_B1/HAL | FADD | 1 | C:\CADENCE\SPB_17.2\TOOLS\CAPTURE\LIBRARY\PSPICE\7400.0LB | | | |
| 16 | CON2 | J1 | /FULLAD | D | 1 | C:\CADE | ENCE\SPB_17.2\TOOLS\CAPTURE\LIBRARY\CONNECTOR.OLB | | | |
| 17 | Q2N2222 | 2 Q1 | /FULLAD | D | 1 | C:\CADE | ENCE\SPB_17.2\TOOLS\CAPTURE\LIBRARY\PSPICE\EVAL.OLB | | | |
| Revised: | | | | | | | | | | |

Revision:

Рис. 20.6. Образец выходного отчета перекрестных ссылок

20.3. Создание списка материалов

После того, как вы завершили свой проект, вы можете использовать Capture, чтобы создать спецификацию материалов Bill of Materials (BOM). Спецификация материалов является составным списком всех элементов, которые необходимы для разработки печатных плат.

Используя Capture, можно создать ВОМ для электрических, а также неэлектрических компонентов, таких как винты. Стандартный отчет ВОМ включает в себя наименование, количество, ссылки на компонент и значение компонента.

Создадим спецификацию для проекта FULLADD. Откроем этот проект.

Для создания отчёта спецификации:

1. В окне диспетчера проекта, выберите файл проекта pr-33-refer.dsn.

2. В меню Tools выберите Bill of Materials.

3. Для создания отчёта спецификации для всего дизайна, убедитесь, что выбрана кнопка Process entire design.

4. Для сложных иерархических конструкций, предпочтительным режимом является режимом возникновения. Поэтому используйте кнопку Use Occurrences.

Примечание: В случае, если вы получаете предупреждение о том, что это не предпочтительный режим, игнорируйте предупреждение.

5. Укажите имя отчета ВОМ, которое будет генерироваться. Для нашего дизайна, надо принять имя FULLADD.BOM (рис. 20.7).

X **Bill of Materials** Mode Scope OK OProcess entire design O Use instances (Preferred) OUse occurrences Cancel Process selection Help Line Item Definition Header: Item\tQuantity\tReference\tPart Combined property string: {Item}\t{Quantity}\t{Reference}\t{Value} Place each part entry on a separate line Open in Excel Include File Merge an include file with report Combined property string: {Item}\t{Quantity}\t{Reference}\t{Value} Include file: C:\PROJECTS 17.2\PR-33-REFER\PR-33-REF Browse ... Report Report File: View Output IC:\PROJECTS 17.2\PR-33-REFER\FULLADD.BC Browse ...

Примечание: По умолчанию отчет будет назван designname. BOM.

Рис. 20.7. Установки для создания списка материалов

6. Нажмите кнопку ОК.

Отчёт ВОМ генерируется. Пример отчёта показан на рис. 20.8.

| | Start Page FILLADD fulladd.bom | |
|--|---|----------------|
| Start Page T pr-33-refer | Revised: Monday, July 09, 2018 Revision: | |
| File Hierarchy File Hierarchy | 2: Item Quantity Reference Part | 12:38:05 Page1 |
| PSpice Resources 1 Include Files 1 Model Libraries 1 Simulation Profiles 1 Stimulus Files 1 Stimulus Files 1 | 3: | |

Рис. 20.8. Пример отчета по спецификации материалов

20.4. Добавление специфических свойств редактора РСВ

Для того, чтобы быть в состоянии передать ваш проект в OrCAD PCB Editor для размещения компонентов и разводки, вам нужно добавить информация о корпусе (footprint – футпринт) для каждого из компонентов в проекте. По умолчанию некоторые футпринты, доступные для всех компонентов из Pspice - совместимых библиотек, находятся в <install_dir>/tools/capture/library/pspice.

Тем не менее, эти футпринты могут оказаться не действительными. Вам нужно будет изменить их до допустимых значений футпринта корпуса.

Вы можете добавить информацию о футпринте на этапе проектирования схемы в OrCAD Capture или на этапе проектирования платы в инструментах компоновки печатной платы. В этом разделе вы научитесь добавлять информацию о футпринтах к компонентам во время этапа проектирования схемы.

Для добавления информации о корпусе к вентилю ИЛИ 7432 на странице схемы FULLADD выполните следующие действия:

1. Щёлкните правой кнопкой мыши на логическом элементе ИЛИ и выберите Edit Properties .

Появится окно редактора свойств.

2. На вкладке Filter из раскрывающегося списка выберите Allegro-PCB Designer (Рис. 20.9).

| FULLADD | * |
|------------|---------------------------------|
| Filter by: | Capture 🗸 |
| | Current properties > |
| | Allegro PCB Designer 🔵 |
| erence | Capture Capture PCB Editor |
| U1 | Capture PCB Editor SignalFlow |
| | Capture PSpice |
| | Capture PSpiceAA |
| | OrCAD PCB Designer Professional |
| | OrCAD PCB Designer Standard |

Рис. 20.9. Выбор программы Allegro PCB Designer

Столбцы в таблице отображают свойства корпуса для PCB Editor.

3. Чтобы изменить значение свойства PCB Footprint, нажмите на соответствующую ячейку и введите значение SOIC14 (рис. 20.10).

| New Property Apply Display Delete Property Pivot Filter by: Capture | | | | | | | | |
|---|------|----|---|--------|--|--|--|--|
| SOIC14 | | | | | | | | |
| Value Reference Designator PCB Footprint Power Pins Visible | | | | | | | | |
| 1 FULLADD : FULLADD : | 7432 | U1 | A | SOIC14 | | | | |

Рис. 20.10. Выбор корпуса элемента ИЛИ

4. Нажмите кнопку Apply или кнопку ENTER.

5. Сохраните изменения и закройте окно Редактора свойств.

6. Добавьте в РСВ информацию о корпусах для всех компонентов в схеме.

Для резисторов введите RES500. Для коннектора- JUMPER2. Для транзистора TO18.

Для компонентов полусумматоров надо выбрать футпринт SOIC14.

Ваша схема теперь готова быть к передаче в OrCAD PCB Editor для размещения компонентов и разводки.

20.5. Проверка правил проектирования

После того, как вы завершили свой проект, рекомендуется выполнить проверку правил проектирования (Design rules check - DRC), чтобы изолировать любые нежелательные ошибки проектирования, которые могут быть в схеме.

Чтобы запустить DRC для схемы полного сумматора, выполните следующие шаги:

1. В окне менеджера проекта, выберите файл проекта.

2. В меню Tools выберите команду Design Rule Checks (рис. 20.11).



Рис. 20.11.

Примечание: В качестве альтернативы, вы можете выбрать DRC кнопкой на панели инструментов.

3. В диалоговом окне DRC вкладка Design Rules Check выбирается по умолчанию. Укажите свои предпочтения (рис. 20.12).

По умолчанию выбирается кнопка Check entire design (проверить весь вариант дизайна). Чтобы запустить DRC на всю разработку, примите выбор по умолчанию.

4. Выберите кнопку опции Use Occurrences.

Примечание: Для сложных иерархических конструкций Use Occurrences режим является предпочтительным режимом. Поэтому игнорируйте предупреждение, которое отображается при выборе этого режима.

5. Для запуска DRC, выберите кнопку опции Check design rules под Action.

6. В разделе Report выберите то, что требуется указать в DRC отчете.

7. Установите флажок View Output.

Если этот флажок установлен, отчет DRC автоматически открывается для просмотра после полной проверки.

8. В текстовом поле Report File, укажите имя и расположение DRC файла, который будет создан.

| Start Page D pr-33-ref | Back Annotate Update Properties | Design Rules Check | |
|---|---|--|---|
| File Tu, Hierarchy Design Besourcer Design Besourcer Drotary Outputs PSpice Resources Include Files Model Libraries Simulation Prof Stimulus Files | Iest Bench Bart Manager Design Rules Check Create Netlist Create Differential Pair InterSheet References Bill of Materials Export Properties | Design Rules Options Bectscal Rules Scope Oneck entire design Oneck selection Action Action Oneck design rules Delete existing DRC markers Ignore DRC Warnings: Design Rules Paun Bectscal Rules Image: Run Physical Rules Report Rie: Wew Output C:\PROJECTS 17.2\PR-33-REFEI | Mode Image: Search of the search of |

Рис. 20.12. Установка проверки правил проектирования

9. На вкладке Electrical Rules установите флажки на нужных вам проверках (рис. 20.13).

| Design Rules Check | × |
|--|-----------------------------------|
| Design Rules Options Electrical Rules Physical Rules | ERC Matrix |
| Electrical Rules | |
| Check single node nets | Check unconnected bus nets |
| Check no driving source and Pin type conflicts | Check unconnected pins |
| Check duplicate net names | Check SDT compatibility |
| Check off-page connector connections | Custom DRC |
| Check hierarchical port connections | Run Custom DRC |
| | Configure Custom DRC |
| Reports | |
| Report all net names | Report misleading tap connections |
| Report off-grid objects | |
| Report hierarchical ports and off-page connectors | 4 |
| | |
| | |
| | ОК Отмена Справка |



9. Нажмите кнопку ОК.

После выполнения проверки отчет DRC отображается в формате, показанном ниже.



| FULLADD — Блокнот |
|--|
| Файл Правка Формат Вид Справка |
| Date and Time : |
| Checking Schematic: FULLADD |
| Checking Electrical Rules |
| Checking For Single Node Nets |
| Checking For Unconnected Bus Nets |
| Checking Schematic: HALFADD_A1 HALFADD |
| Checking Electrical Rules |
| Checking For Single Node Nets |
| Checking For Unconnected Bus Nets |
| Checking Schematic: HALFADD_B1 HALFADD |
| Checking Electrical Rules |
| Checking For Single Node Nets |

Рис. 20.14. Отчет проверки правил проектирования

На рис. 20.15 показана проверка матрицы ERC.



Рис. 20.15. Проверка матрицы электрических правил (ERC)

были рассмотрены шаги для создания плоских и В этом разделе проектов с использованием OrCAD Capture. Вы были иерархических ознакомлены с основными задачами создания проекта, такими как создание добавление библиотеки в проект, размещение компонентов схем. И редактирование свойств.

Далее познакомимся с циклом проектирования печатных плат.

20.6. Контрольные вопросы

1. Какие задачи выполняются для обработки проекта в OrCAD Capture ?

- 2. Для чего требуется назначать ссылки на компоненты схемы ?
- 3. Как выполняют ручное аннотирование проектов?

4. Как просмотреть значения обновленных указателей ссылок компонен-

тов?

- 5. Какую информацию содержит отчет о перекрестных ссылках?
- 6. Как можно создать отчет о перекрестных ссылках ?
- 7. Как создают спецификацию материалов (Bill of Materials)?
- 8. Как добавть в проект информацию о корпусах компонентов?
- 9. Как выполняют проверку правил проектирования (DRC)?

10. Какие правила проверяют включает DRC ?

Глава 21. Проектирование печатных плат с использованием OrCAD PCB Editor

21.1. Обзор

Редактор печатных плат OrCAD (на основе Allegro® PCB) – этот мощный и гибкий инструмент для компоновки и трассировки печатных плат позволяет PCB (PCB-printed circuit board) дизайнерам создавать и использовать данные для сквозного проектирования электронных устройств.

Это интерактивная среда для создания и редактирования сложных, многослойных печатных плат. Набор функций, который предоставляет, предназначен для широкого спектра современных разработок и технологических задач.

В этой главе вы будете использовать OrCAD PCB Editor, чтобы на основе проекта полного сумматора, созданного ранее, довести эскизное проектирование до печатной платы. Здесь рассмотрены некоторые из общих задач, решаемых в редакторе печатных плат. В процессе изучения вы также можете использовать кросс-проверки между Capture и PCB Editor.

Для того, чтобы пройти все шаги, описанные в этой главе, вы должны имеют готовый дизайн полного сумматора. Полный сумматор, используемый нами, представляет собой иерархическую конструкцию. Она состоит из двух экземпляров иерархического блока HALFADD.

Вы можете использовать конструкцию, созданную ранее. Однако в учебной программе Orcad 17.2 Lite установлено ограничение на максимальное количество компонентов в схеме и некоторые важные подготовительные операции (например, DRC – проверку правил проектирования для полного сумматора) не удается выполнить. Поэтому мы будем использовать файлы дизайна, которые поставляется с обучающей программой.

Файлы дизайна полного сумматора доступны как файл flowtut.zip, который расположен в <Install_dir> / DOC / flowtut / tutorial_example.

Распакуйте файл flowtut.zip и извлеките его в пустой каталог, скажем orcad_flow. После извлечения файла flowtut.zip вы найдёте два га - частичные (Partial) и полные (Complete), созданные в каталоге orcad_flow.

Каталог *partial* содержит файлы, созданные в предыдущих разделах. Используйте файлы этого каталог, только если вы хотите пропустить шаги по созданию дизайна, выполненные ранее и непосредственно перейти к этой главе.

Полный каталог *complete* содержит все файлы, созданные ранее в руководстве [3].

Вы можете использовать файлы полного каталога, чтобы проверить свои результаты.

Важное замечение !

Проектирование печатных плат – это сложный и достаточно трудоемкий процесс, требующий многих навыков и опыта, который приходит не сразу. Компания Cadence представила в Интернете полезные обучающие видеофиль В В этой главе Вы изучите основы работы в учебных версиях OrCAD PCB Editor

Lite и OrCAD PCB Router Lite, которые помогут вам овладеть искусством проектирования.

21.2. Подготовка в Capture

Для того, чтобы быть в состоянии использовать в PCB Editor проект, созданный в Capture, необходимо выполнить некоторые задачи. Некоторые из этих задач выполняются в Capture, в то время как остальные выполняются в среде редактора печатных плат.

Задачи, которые должны быть выполнены в Capture:

• Запуск проверки правил проектировани – DRC.

• Создание списка соединений PCB Editor netlist.

Запуск DRC был выполнен в предыдущем разделе. Полезно повторить это для проекта, запущенного из каталога *complete* и убедиться в совпадении результатов.

21.2.1. Создание списка соединений для редактора печатных плат

После запуска проверки правил проектирования вы создаёте в Capture список соединений для PCB Editor. Для этого:

1. В окне менеджера проекта, выберите файл fulladd.dsn.

2. В меню Tools в Capture выберите Create Netlist. Появится диалоговое окно Create Netlist.

3. Выберите вкладку РСВ (если она ещё не выбрана).

| fulladd 🛛 🖸 | Create Netlist |
|---|--|
| Analog or Mixed A/D | PCB EDIF 2 0 0 INF Layout PSpice SPICE Verilog VHDL Other |
| File Image of Mixed AVD File Image of Mixed AVD Design Resources Image of Mixed AVD Image of Mixed AVD Design Resources Image of Mixed AVD Image of Mixed AVD Image of Mixed AVD Design Resources Image of Mixed AVD Image of Mixed AVD Image of Mixed AVD Design Resources Image of Mixed AVD Image of Mixed AVD Image of Mixed AVD Pspice Resources Image of Mixed AVD Image of Mixed AVD Image of Mixed AVD Nodel Libraries Image of Mixed AVD Image of Mixed AVD Image of Mixed AVD Image of AVD Image of A | PCB EDIF 2 0 0 INF Layout PSpice SPICE Venlog VHDL Other PCB Footprint Combined property string: PCB Footprint Setup PCB Footprint Options Setup Options Netlist Files Directory: allegro View Output Options Input Board File: Output Board File: allegro Vulladd brd Allow Etch Removal During ECO Allow User Defined Property Ignore Fixed Property Place Changed Components: @ Always If Same Never Board Launching Option Open Board in APD Open Board in OCAD PCB Editor Open Board in Cadence SiP Open Board in OCAD PCB Editor |
| | © Do not open board file high-speed properties to the board) |

В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

Рис. 21.1. Создание списка соединений

Флажок Create PCB Editor Netlist выбирается по умолчанию. При установке этого флажка будет сгенерирован Список соединений в формате редактора печатных плат, который состоит из следующих трёх файлов: PSTCHIP.DAT, PSTXNET.DAT и PSTXPRT.DAT.

PSTCHIP.DAT: этот файл содержит описание для каждого отличного типа компонентов, которые используется в дизайне.

• PSTXNET.DAT: этот файл подключения, называемый также плоский список или расширенный список соединений, содержит каждую сеть, её свойства, подключённые к ней узлы и свойства узлов.

• PSTXPRT.DAT: этот файл, также упоминается как расширенный список компонентов, содержит список физических компонентов и перечисляет каждое позиционное обозначение и секции, связанные с ним, указанные через позиционное обозначение и номер секции.

Примечание: Убедитесь, что правильный файл конфигурации (Allegro.cfg) задаётся в диалоговом окне настройки. Для просмотра файла конфигурации нажмите кнопку Setup. Путь к файлу конфигурации должен быть выбран, используя кнопку Browse: <install_dir> \ Tools \ capture \ allegro.cfg, где <Install dir> это место установки (рис. 21.2).

| Setup | × |
|---|---|
| Cfg Config Configuration File: SPB_17.2\tools\capture\alle Backup Versions: 3 | ;gro.cfg 💭 Edit |
| Miscellaneous Device/Net/Pin 31 💽 Outp Name Char Limit 31 Suppres | put Warnings ss Warnings: Add Remove |
| OK Cancel | Help |

Рис. 21.3. Установка файла конфигурации

Примечание: Текстовое поле Netlist Files Directory содержит местоположение каталога, в котором будут сохранены файлы PST * .DAT. Расположение по умолчанию является Allegro subdirectory в каталоге вашего дизайна.

В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

4. Установите флажок View Output, чтобы автоматически открыть три PST * .DAT файла списка соединений в отдельных окнах Capture для просмотра и редактирования после того, как netlisting завершится.

5. Установите флажок Create or Update PCB Editor Board (Netrev), чтобы создать в PCB Editor плату, которая соответствует списку соединений, который вы генерируете.

Примечание: Текстовое окно Output Board File содержит имя платы, которое в данном случае является fulladd.brd и расположение директории, где будет создан файл платы, которая в этом случае будет \ allegro.

6. Выберите Open Board в опции OrCAD PCB Editor, чтобы открывыть файл Output Board File в OrCAD PCB Editor автоматически после того, как завершается netlisting.

7. Нажмите кнопку ОК в диалоговом окне Create Netlist.

Появится сообщение с запросом, чтобы сохранить ваш дизайн до создания списка соединений. Нажмите кнопку ОК.

Если имеются указания об ошибках, их следует найти и устранить.

Происходит генерация файлов (рис.21.4



Рис. 21.4. Генерация файлов списка соединений

После этого Capture генерирует файлы списка соединений (PSTCHIP.DAT, PSTXPRT.DAT и PSTXNET.DAT) и файл платы (Fulladd.brd) в указанном месте каталога, который в этом случай будет: \complete\allegro. Кроме того, открываются файлы списка соединений в отдельных окнах Capture и они появляются под Outputs directory в окне менеджера проекта (рис. 21.5).

Фрагменты содержания файлов показаны на рис. 21.5.



Рис. 21.5. Фрагметны файлов списка соединений

Файл платы fulladd.brd откроется в редакторе OrCAD PCB Editor.

8. После выполнения команды Create Netlist открывается окно редактора печатных плат OrCAD PCB Design (рис. 21.6). Выбрав Display>Windows, можно открыть нужные окна и панели.

Окно редактора OrCAD PCB Design содержит большое количество вспомогательных панелей и инструментов, с которыми мы будем знакомиться по мере изучения процесса проектирования печатных плат. Некоторые панели и окна показаны на рис. 21.6. Перемещение объекта в окне проектирования выполняют, используя окно позиционирования.





Примечание: Если окно не открылось, надо проверить в каталоге Cadence «Все программы» загружается или нет программа PCB Design Lite. Если загрузки нет, возможно закончился срок демоверсии. Тогда переустановите программу OrCAD ещё раз.

21.3. Начало работы в PCB Editor

Режимы работы приложения показаны на рис. 21.7.

| CrCAD PCB Designer Lite: fulladd.brd Project: C:/PROJECT 17.2 PCB/COMPLETE/allegro | | | | | | | | | | |
|--|--------|--------|--|-------------------------------------|-----|---------|-------|----------------------|---------------|-------|
| File | Import | Setup | Display | Outline | Add | Edit | Place | Route | Shape | Check |
| | D | | Application | Mode | | I | | General | Edit | 6 |
| | | 8 8 | Design Para Cross-Sectic | meters n | | | | Placeme Etch Edit | ent Edit t | 2 |
| P | | EEE | Constraint N | lodes | | | | Shape Ed | dit | |
| | | | Constraints. Add Differer Identify DC I Dummy Net | ntial Pairs Nets Assignme | nt | | | None | | |
| | | | Define B/B V Auto Define | ′ias B/B Vias | | | | | | |
| -"⊌ 5≁[| | | Colors Grids | | (| Ctrl+F5 | | | | |
| 1 | | | Change Orig | jin | | | | | | |

Рис. 21.7. Режимы работы РСВ Editor

Режим *General edit* позволяет выполненять операции редактирования, такие как размещение, разводка, перемещение, копирование, зеркальное отображение.

Режим *Placement edit* позволяет редактировать размещение компонентов.

Режим *Etch edit* адаптирует среду для выполнения задач травления, таких как добавление разъемных соединений, настройка задержки, сглаживание клиньев или острых углов сегмента.

Режим *Signal Integrity* обеспечивает быстрый и легкий доступ к часто используемым командам SI.

Shape Edit обеспечивает быстрый и легкий доступ для редактирования границы формы, такие как сглаживание краев формы с углами или без углов, многосегментное сглаживание и добавление надрезов.

Режим *None* позволяет выйти из любого режима и выбрать новый. Текущий режим работы отражается в строке состояния (рис. 21.8).

| PA | General edit | Off | DRC | 0 |
|----|--------------|-----|-----|---|
|----|--------------|-----|-----|---|

| Рис. 21.8. | Отображение | текущего | режима |
|------------|-------------|----------|--------|
|------------|-------------|----------|--------|

Параметры проектирования устанавливаются на вкладках Design Parameter Editor из меню Setup (рис.21.9).



Рис. 21.9. Установка параметров проектирования

21.4. Создание печатной платы

После создания списка соединений для редактора PCB следующим шагом будет создание новой платы в редакторе печатных плат. Capture netlister генерирует файл платы и три файла списка соединений, совместимых с PCB. Дополнительную информацию см. в разделе «Создание списка соединений для редактора печатных плат».

21.4.1. Создание контура платы

Контур платы определяет границы платы. Чтобы создать схему платы в редакторе печатной платы:

1. В меню Add выберите Line. Панель Options изменится, как показано на рис. 21.10.

Примечание. Убедитесь, что панель Options в правой части окна редактора печатной платы отображает Active Class (активный класс) как Board Geometry и подкласс как Outline (контур).

2. Задайте следующие параметры в окне Options:

a. Окончание (замок) линии Line Lock: Line, 90°

б. Ширина линии Line Width: 20,0

с. Строковый шрифт Line Font: сплошной (Solid)

| Options | _ 8 : |
|----------------------------|-------|
| Active Class and Subclass: | |
| Board Geometry | |
| | |
| Line lock: Line 💌 90 💌 | |
| Line width: 20.00 | |
| Line font: Solid - | |
| | |
| Find | & : |

Рис. 21.10. Установка параметров линий

Примечание. Пользовательские единицы по умолчанию в редакторе печатных плат – mils (0,001 дюйма). Чтобы просмотреть пользовательские единицы, выберите Design Parameters в меню Setup. В диалоговом окне Design Parameter Editor перейдите на вкладку Design. Пользовательские единицы определены в разделе Size (рис. 21.11).

| Set | up Display Outline Add | it Place Route Shape Check Analyze Tools Manufacture Export Help | |
|----------|---|--|----------|
| | Application Mode | Pesign Parameter Editor | <u> </u> |
| * | Design Parameters Cross-Section | Display Design Text Shapes Route Mfg Applications | |
| | Constraint Modes Constraints Add Differential Pairs Identify DC Nets Dummy Net Assignment | Line lock User units: User uni | |
| | Define B/B Vias Auto Define B/B Vias Colors Grids | F5 Pad flash mode: Shapes Fixed radius: 25.00 Extents Image: Tangent F5 Left X: 0.00 Lower Y: 0.00 Width: 21000.00 Height: 17000.00 Angle: 0.000 | |

Рис. 21.11. Установка единиц измерения

Примечание. Расстояние по размеру сетки по умолчанию для координат X и Y в редакторе печатной платы составляет 25 мил каждый. Чтобы просмотреть интервал сетки, выберите Setup> Grids. Можно также на вкладке Design Parameter Editor нажать кнопку Setup Grids. Появится диалоговое окно Define Grid. Установите нужные значения и нажмите Ok (рис. 21.12).

| Setu | p Display Outline Add | l Edit Pla | Define Grid | 100.0 | - | Test Manufact | |
|-------------------------|------------------------|------------|---------------|---------------------|--------|----------------------------|------------|
| | Design Parameters | | 🔲 Grids On | | | | |
| \$ | Cross-Section | 1 | Layer | | | Offset / | Spacing |
| | Constraint Modes | | Non-Etch | Spacing: | x | 100.00 | |
| E H | Constraints | | | | y: | 100.00 | |
| | Add Differential Pairs | | | Offset: | X: | 0.00 y: | 0.00 |
| | Identify DC Nets | | All Etch | Spacing: | x | | |
| | Dummy Net Assignment | | | | y: | | |
| | Define B/B Vias | | | Offset: | X: | y: | |
| | Auto Define B/B Vias | | TOP | Spacing: | × | 25.00 | |
| | Colors | Ctrl+F5 | | | y: | 25.00 | |
| $\overline{\mathbf{c}}$ | Grids | | | Offset: | х: | 0.00 y: | 0.00 |
| | Change Origin | | воттом | Spacing: | x: | 25.00 | |
| | STEP Mapping | | | | y: | 25.00 | |
| | Zones | • | | Offset: | X: | 0.00 y: | 0.00 |
| | Bend | • | | | | | |
| | Datatip Customization | | | | | | |
| | User Preferences | | ОК | | | | Help |
| | More | • | Spacing field | ds allow simple equ | ations | s to aid calculations; pre | fix with = |

Рис. 21.12. Установка параметров сеток

- 3. Создадим контур платы с координатами:
- □ 3000, 3000
- **3**000, 5000
- **1**000, 5000
- **□** 1000, 3000

Сначала надо включить режим Add Line — — — ментов.

Чтобы вставить первый угол контура платы, поместите курсор в координаты: 1000, 3000 и нажмите левую кнопку мыши.

Add Line

на панели инстру-

Примечание: При перемещении курсора в окне в характеристиках конструкции координаты будут постоянно меняться. Вы можете просматривать координаты в правом нижнем углу окна редактора печатных плат.

Совет. Можно также использовать команду ріс в консоли PCB Editor, чтобы указать координаты. Например, чтобы указать отправную точку, введите 1000 3000.

На рис. 21.13 показан запуск команды Pick, выбор типа координат (абсолютные или относительные), позиционирование контура на поле. На рис. 21.14 показан ввод координат и их отображение в окне команд.



Рис. 21.13. Начало ввода координат платы

4. Заполните оставшийся контур платы, используя следующие координаты (рис. 21.14)

3000, 3000
3000, 5000
1000, 5000
1000, 3000

316

| × No element found. ✓ last pick: 1000.00 3000.00 µ last pick: 3000.00 3000.00 last pick: 3000.00 5000.00 last pick: 1000.00 5000.00 last pick: 1000.00 3000.00 Performing a partial design cher | : | Pick Type XY Coordinate Distance + Angle Value 1000 3000 Snap to current grid Relative (from last pick) Pick Zoom |
|--|---|---|

Рис. 21.14. Ввод координат контура платы

5. Когда вы находитесь на последнем повороте и замкнёте контур платы, щёлкните правой кнопкой мыши и выберите Done. Контур платы будет создан.

Примечание: Убедитесь, что контур платы является замкнутым прямоугольником. В нашем примере контур квадратный.

Совет:

Чтобы удалить контур:

□ Выберите Delite из меню Edit.

□ В окне Options выберите флажок Cline под группой Delete Net Options.

□ Щелкните левой кнопкой мыши по контуру, чтобы выбрать его.

□ Щелкните правой кнопкой мыши и выберите пункт Done. Контур будет полностью удалён.

Сохраните файл платы и сделайте выход из PCB Editor.

6. Повторно войдите в PCB Editor из меню <Bce программы<CaDENCE< PCB Editor Lite. Откроется файл fulladd.brd с контуром платы.

7. Выберите Zoom Fit из меню View, чтобы отобразить целиком контур вашей платы в окне дизайна, как показано на рис. 21.15

Совет: В качестве альтернативы, вы можете использовать любой из этих методов масштабирования контура платы в окне дизайна:

□ Напечатайте zoom fit в командной строке;

3 **О**-или нажмите на значок

| <u>F</u> ile | Import | Set <u>u</u> p | <u>D</u> isplay | <u>O</u> utline | <u>A</u> dd | <u>E</u> dit | <u>P</u> lace | <u>R</u> ou | te <u>S</u> ł | nape | <u>C</u> hec | k] | Tools | <u>M</u> an | ufactu | re E <u>x</u> | port | <u>H</u> elp | | | | | |
|--------------|----------------------------|-------------------------------------|-----------------------|-----------------|-------------|--------------|---------------|-------------|---------------|------|--------------|-----|-------|-------------|--------|---------------|------|--------------|--------|-----|------------------|---|----------|
| | | • | ₽ C | × 5 | • ± • | 2 ₽ | 9 | 1 | 羺 | | Q | Q | e, | Q | ব | E | 0 | 3D | E.F. | # | | | \$ EM |
| C. | | 38 | | 3 4 | | \bigcirc | 3 | | ิจ [| | 0 | | * | 2 | H | 1 F | E | 3 💵 | | ß 🔞 | R1R2 01 02 | J | -10 |
| Дэр Гар | | | • | | | · | í – | | | • | | | • | | - | | | | | | | | 1 |
| (m) | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | |
| <u>م</u> | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | | | | | | | | | | | | | | | | | | | | | | | |
| 5-1 | | | | | | | | | | | | | | | | | | | | | | | |
| > | · · | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | |
| < | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | |
| abc | | | | | | | | | | | | | | | | | | | | | | | |
| abs | | | | | | | | | | | | | | | | | | | | | | | |
| | - · | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | · | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | |
| | × Oper ↓ Comi _ Comi | ning existir mand > zo mand > | ng design. Iom fit | | | | | | | | | | | | | | | A | × 1 | | | | |

Рис. 21.15. Масштабирование контура платы

Grid Toggle

8. Для включения сетки нажмите в главном меню значок 9. Для изменения толщины линии контура выделите линию и выберите Line > Change Width.

21.4.2. Добавление монтажных отверстий

После создания контура платы добавим в плату монтажные отверстия. Чтобы добавить монтажные отверстия в вашей плате, выполните: 1. В меню Place выберите Components Manully. Появится окно Placement. 2. Выберите вкладку Advanced Settings.

3. Установите флажок Library и Database под разделом List construction (рис. 21.16).

| t 17.2 PCB Place Route Shape Check | Placement |
|--|--|
| Components Manually Quickplace Mechanical Symbols Drawing Symbols Autoplace Interactive | Placement List Advanced Settings List construction Display definitions from: Image: Display definitions Image: Display definitions AutoNext: Image: Display definitions AutoNext: Image: Display definitions Image: Display definitions Image: Display definitions AutoNext: Image: Display definitions Image: Display definitions Image: Display definitions Image: Display definitions Image: Display definitions AutoNext: Image: Display definitions Image: Display definitions Image: Displ |
| | Close Hide Cancel Help |

Рис. 21.16. Установка библиотек для компонентов

4. Нажмите кнопку Close, чтобы закрыть диалоговое окно Placement.

5. Снова выберите Components Manully из меню Place.

6. В диалоговом окне Placement выберите вариант Mechanical symbols из выпадающего меню.

7. Выберите нужный механический символ. Для нашего проекта механический символ MTG125 (рис. 21.17).

| Placement | |
|--|------------------------------|
| Placement List Advanced Settings | |
| Mechanical symbols Mechanical symbols Mechanical symbols CROP CROP EUROS EUROS MIGURE MIG125 MIG156 MIG250 MIG250 MULTIBUS | Quickview |
| | Graphics |
| Close Hide | Cancel Help |

Рис. 21.17. Выбор монтажного отверстия

8. Нажмите кнопку Hide.

9. Диалоговое окно Placement закрывается и механический символ MTG125 прикрепляется к курсору.

10. Переместите механический символ в верхней левый угол окна дизайна платы и щёлкнуть левой кнопкой мыши, чтобы освободить символ.

11. Щёлкните правой кнопкой мыши и выберите пункт Done. Механический символ помещается на плату.

12. Повторите шаги с 5 по 11, чтобы поместить механические символы на остальные три угла окна дизайна. Смотрите рисунок ниже (рис. 21.18).

| Add | Edit | t P | lace | Route | Sha | аре | Cheo | k A | nalyze | e Too | ols I | Manu | ifactu | re f | Export | t H | elp | | | | | |
|-----|------|--------------|---------------------------------------|-------|-----|-----|------|-----|--------|-------|-------|------|--------|----------|--------|-----|-------------------|------|----------|------------|---|-----|
| • ¢ | - j | 9 | À | 裍 | | Q | Q | Q | Q | ଦ୍ | R | 0 | 30 | | | ₩ | | | \$ | EM | | |
| | | \mathbf{k} | P | 9 | | 0 | | * | | • | | | 6 | U | la | ø | R1 R2 U1 U2 | | <u>.</u> | - 6 | | 000 |
| | | 1 | | | | | | | | | | , | | | | | | | 1 | 1 | 1 | • |
| | | | : | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | |
| | | - | · . | | | | | | | | | | | | | | | ·.·. | | <u> </u> | | |
| | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | |
| | | | · · · · · · · · · · · · · · · · · · · | | | | | | | | | | | | | | | 2 | | • | | |
| | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | j | j | j | | j | | | | | | |
| | | | | | | | | | | _ | | | | | | | | | | | | |

Рис. 21.18. Плата с монтажными отверстиями

Файл наброска образца платы, fulladd_outline.brd является доступным по адресу: / complete/ Allegro.

Примечание: В качестве альтернативы, выберите Сору из меню Edit и, щёлкнув левой кнопкой мыши, поместите механический символ в окне дизайна. Выбранный механический символ прикрепляется к курсору. Передвигая символ в нужное место в окне дизайна, щёлкните левой кнопкой мыши, чтобы освободить символ. Теперь, щёлкните правой кнопкой мыши и выберите пункт Done.

Для удаления компонента из дизайна надо выделить компонент левой кнопкой мыши, нажать правую кнопку и на вкладке Symbol выбрать Unplace component (puc. 21.19).



Рис. 21.19. Удаление компонента

21.5. Размещение компонентов

После того, как вы создали контур платы, вы можете начать размещение ваших компонентов на плате. OrCAD PCB Editor поддерживает как размещение вручную, так и автоматическое размещение компонентов.

В этом разделе мы будем использовать размещение вручную, чтобы создать печатную плату для дизайна полного сумматора. Существуют различные способы, которыми вы можете выбрать компонент для размещения. В этом проектк вы научитесь размещать компоненты лишь с помощью RefDes.

21.5.1. Выбор компонентов с помощью RefDes

1. В меню Place выберите Manually. Появится диалоговое окно Placement, отображающее в структурном дереве все компоненты, которые вы можете разместить в вашем дизайне. Например, для нашего случая папка Components by refdes содержит компоненты: J1, Q1, R1, R2, U1, U2, U3 и U4.

Примечание: только неразмещенные компоненты отображаются в окне Placement.

| :/allegro | | - | <u>F</u> ile <u>I</u> mpo | rt Set <u>u</u> p | <u>D</u> isplay | <u>O</u> utline | <u>A</u> dd <u>E</u> dit | : <u>P</u> lace | <u>R</u> oute | <u>S</u> hape | <u>C</u> heck | <u>T</u> ools | <u>M</u> anu | Ifacture |
|---|------------------|------------|---------------------------|--|--------------------------------------|--|--|-----------------------------|---------------|---------------|---------------|---------------|--------------|----------|
| it <u>Place R</u> oute <u>S</u> ha | be <u>C</u> heck | <u>T</u> o | Placem | ent | 1.00 | | | | - 0 | X | | Q | Q | ۹ |
| Components M. Quickplace Mechanical Sym Drawing Symbo Autoplace Interactive Swap Autoswap Via Arrays Assign RefDes Update Symbols | | | Placemer | t List Adva ents by refde Compone ↓ JT1 ↓ QT1 ↓ QT1 ↓ R2 ↓ UT2 ↓ UT2 ↓ UT3 ↓ UT4 | anced Settiny ss ents by refde | 38 ▼ Sele S C F C N C N C S C F C Uuic | ction filters fatch: ['roperty: [alue [loom: ['art #:] let: [let: group:] ichematic pa let: group: [ichematic pa let:] let group: [ichematic pa let:] let:] let: [ichematic pa let:] let:] let: [ichematic pa let:] let:] let:] let: [ichematic pa let:] let: | × × age number les | | ▼ ▼ | | | | |
| | | | ОК | | Hide | | | Cancel | | Help | · | | | |

Рис. 21.20. Размещение компонента U1

Примечание: Вы также можете выбрать все компоненты одного типа, поставив галочку рядом со значком папки.

Примечание: Окно Quickview отображает корпус для выбранного компонента в графике и текстовом режиме.

2. Выберите компонент U1, установив флажок, как показано на рис. 21.20.

3. Нажмите Hide. Диалоговое окно Placement закроется, и имя (имена) компонента, в данном случае, U1, который вы выбрали, прикрепится к курсору.

4. Переместите компонент в нужное место, щёлкните правой кнопкой мыши и выберите Done.

Чтобы повернуть компонент, щелкните правой кнопкой и выберите Rotate (Spin) из всплывающего меню.

Примечание: Убедитесь, что угол поворота определяется в панели Options. Для нашего проекта угол поворота 90 (рис. 21.21).

| | | · · | · · · | • | · · · | | | | • | · · | · · · |
|---|-------|---------|-------|---|---------|---------|----------|---|---|--------|-------------|
| | Done | | F6 | | | | | | | | |
| - | Oops | ; | F8 | | | | | | | | |
| | Canc | el | F9 | | | | | | | | |
| | Optio | ons | • | | Ripup | etch | | | | | |
| | Snap | pick to | • • | | Slide e | tch (pr | ototype) | | | | |
| | | | | | Stretch | n etch | | | | | |
| | | | | | Rotatio | on type | | • | ÷ | | |
| | | | | | Rotatio | on ang | e | • | | 0 | ŀ |
| | | | | | Rotatio | on poir | ıt | • | | 45 | |
| | | | | | Relativ | e Grid | | | ✓ | 90 | |
| | | | | | Relativ | e Grid | Options | • | | 135 | |
| | | | | | | | | | | 180 | |
| | | | | | | | | | | 225 | |
| | | | | | | | | | | 270 | |
| | | | | | | | | | | 315 | |
| | | | | | | | | | | | |

Рис. 21.21. Установка параметров поворота компонента

5. Поверните компонент в направлении против часовой стрелки и щелкнуть левой кнопкой мыши, чтобы освободить компонент (Рис. 21.22).


Рис. 21.22. Положение компонента U1 после поворота

6. Повторите шаги 2 - 5, пока все компоненты, доступные в диалоговом окне Placement, не будут размещены в окне дизайна, как показано на рис. 21.23. Обратим ваше внимание на то, что показанное расположение компонентов на плате будет соответствовать итоговому виду разводки. Рекомендуем вам выполнить такое же расположение с учетом положения первых выводов, обозначенное точками на корпусах и показанное стрелками на рис. 21.23.



Рис. 21.23. Плата с размещенными компонентами

Файл образца платы с размещёнными компонентами, fulladd_placed.brd доступен по адресу: /complete/allegro.

7. Выберите Refresh из меню View, чтобы обновить экран (рис. 21.24).



Рис. 21.24. Обновление экрана

21.5.2. Поиск компонентов на плате

Чтобы найти компонент в редакторе печатных плат, выполните следующее:

1. Откройте панель Find (рис. 21.25);



Рис. 21.25. Открытие панели поиска Find

- 2. В меню Find панели окна редактора печатных плат:
 - Выберите опцию Symbol(or Pin) в раскрывающемся списке Find By Name.
 - Нажмите кнопку More (дополнительно). Диалог Find by Name or Property появится в раскрывающемся меню, отображающий все доступные компоненты.
 - Выберите компонент, который вы хотите найти. Выбранный компонент появится в окне Selected objects.
 - Нажмите Ок. Компонент высветится с окне проектирования (рис. 21.26).

| | | | | Circuit. | |
|--------------------------------------|---|------------------|------|------------------|----------------|
| | *0 | | | Design Object I | Find Filter |
| | *7 | | | | Bond wires |
| | <u> \</u> | | | Lomps | Shapes |
| | 💱 Find by Name or Property | | | Symbols | Voids/Cavities |
| | | | | - Functions | Uline segs |
| | Object type: Symbol (or Pin) | | | Nets | Uther segs |
| | Available objects | Selected objects | | V Pins | - Figures |
| | Name filter: × | U3 | | Vias | DRC errors |
| | Value filter: | | | V Fingers | V Text |
| | | | | Clines | Ratsnests |
| | Q1 | | | Lines | 📝 Rat Ts |
| | R1 B2 | All-> | | By Saved Q | uerv |
| | U4 | <-All | | | |
| | U2 U1 | | | | |
| | | | | Eind by O | Internet |
| | | | | Find by Qt | uery |
| | | | | Cod Du Norra | |
| | Use 'selected objects' for a deselection op | eration | | Sumbol (or Pin | Name V |
| $ \sim$ \sim $ \sim$ $ -$ | OK Cancel | Apply | Help | Symbol (of Firl) | More M |
| | | | | | More |

Рис. 21.26. Поиск копмонента U3

Вы можете найти цепь в редакторе печатных плат. Чтобы найти цепь, в меню Find нажмите All On в Design Object Find Filter и установите стрелку напротив Net. В окне Find By Name выберите Net и нажмите More. В открывшемся окне Find by Name or Property установите Net. Откроется список цепей и Вы можете найти нужную цепь, например, N00061 (рис. 21.27). На печатной плате эта цепь будет выделена пунктиром.

| | | ৰাজ ৰাজ | | | | | Find | |
|--------|----------|------------------------|-----------------------|---------|------------------|------|-----------------|----------------|
| | | | | | | | Design Object I | Find Filter |
| | | | | | | | Comps | Shapes |
| \sim | | 💱 Find by Name or Pr | operty | | | | Symbols | Voids/Cavities |
| Π | | | | | | | - Functions | 🔽 Cline segs |
| | | Object type: | • | | | | Vets Nets | 🔽 Other segs |
| | | Available objects | | | Selected objects | | 🔽 Pins | 📝 Figures |
| | | Name filter: * | | | NUUUBI | | 🔽 Vias | 🔽 DRC errors |
| | 1 14 | Value filter: | | | | | Fingers | ✓ Text |
| | A 17 | 0 | * | | | | Clines | ✓ Ratsnests |
| | | Gnd | = | Δ -> | | | Lines | 🗹 Rat Ts |
| | | N00071 N00103 | | | | | 📃 By Saved Q | uery |
| | | N00123 | | | | | | T |
| | \ 1 | N00134 N00507 | | | | | | |
| | - M - P | N00564 | T | | | | Find by Qu | Jery |
| | 1 1 4 | | | | | | | |
| | <u> </u> | Use 'selected objects' | for a deselection ope | eration | | | Find By Name | - Nora - |
| | | OK Cano | el | | Apply | Help | > Net | More |
| | | | | | | | | |

Рис. 21.27. Выделение нужной цепи N00061

Можно выполнить поиск цепи или объекта по запросу. Для этого нажмите Find by Query, выберите Net и нажмите More. В открывшемся окне выберите из объектов Net. В полях выберите Net Name, а затем нужную цепь, например, N00103. Эта цепь отобразится пунктиром (рис. 21.28). Результаты поиска будут сохранены в папке проекта печатной платы.

| Find by Query Objects Configure Clines Components Diffpairs DRC Errors Figures Generic Groups Line Segments Lines | Fields Filters | Find Design Object F All On Al V Groups Comps V Symbols Functions V Pins V Vias | ind Filter Ø Bond wires Ø Shapes Ø Voids/Cavities Ø Cline segs Ø Cline segs Ø Figures Ø Figures Ø DBC errors |
|--|--|---|--|
| Matched Groups Modules Net Groups Nets Pins Rat Bundles Ratsnests RatTs Regions Shapes Symhols | Type Net Ñame 3 Net GND 4 Net N00061 5 Net N00071 6 Net N00103 7 Net N00123 8 Net N00134 9 Net N00238_HALFADD_A0 | Find By Name | V Text V Ratsnests V Rat Ts ery ery |
| | | | More |

Рис. 21.28. Поиск цепи по запросу

Если потребуется, можно изменить цвет каждой цепи, выполнив Setup>Colors>Nets (рис. 21.29).



Рис. 21.29. Изменение цветов цепей

21.5.3. Проверка правил разработки

PCB Editor позволяет запускать проверку правил разработки DRC онлайн (On) или в пакетном режиме (Off). По умолчанию включено On. При размещении компонентов, если есть какие-либо нарушения правил проектирования, маркеры ошибок отображаются на плате.

Примечание. Чтобы запустить DRC в режиме онлайн, выберите *Enable* On-Line DRC в меню Setup (рис. 21.30).

| Setu | up Display Outline Add | Edit | Place | Route | Shape | Che | ck |
|------|------------------------|------|-------|-----------|----------|-----|-----|
| | Application Mode | I | * | 裍 | X 🔍 | Q | 0 |
| | Design Parameters | | P | โ | | | |
| \$ | Cross-Section | | | | | | _ |
| | Constraint Modes | | | | | | |
| E14 | Constraints | | | | | | |
| | Add Differential Pairs | | | | | | |
| | Identify DC Nets | | | 20 | 3 | | |
| | Dummy Net Assignment | | | - Ĉ | Hζ. | | . 6 |
| | More | 1 | · | Subclass | es | | |
| | | | | Materials | 5 | | |
| | | | | Enable O | n-Line D | RC | |
| | | | | Enable D | atatips | | |

Рис. 21.30. Запуск проверки правил разработки

Чтобы проверить основные расстояния и физические ограничения для дизайна вашей платы, выберите *Setup - Constraints - Spacing*. Появится окно с указанием настроек по умолчанию. Для нашего проекта мы примем значения по умолчанию. Allegro Constraint Manager позволяет выполнить разнообразные проверки дизайна-электрические, физические и пр. (рис. 21.31).

| | | * | 2 - | | 🛏 👪 🖬 🕼 1 | | 3 | | | | | 1 1 | ě | * 7 | | 1 🛛 | | ? | |
|--|-------------------------------------|-----------|--------------|---------|------------------------------|-------------------|------|------------|---------|---------------|------------------|------------|---------------|------------|-------|---------------|------|-------|----|
| | 🖌 Allegro Constraint Manager (conne | cted to C | rCAD P | CB E | esigner Lite 17.2) [fulladd] | - [Spacing / Sp | acin | g Constra | aint Se | et / All Laye | ers] | _ | - | - | | | - 6 | × | |
| | File Edit Objects Column | View A | nalyze | Au | idit Tools Window H | Help | | | | | | | | | | | | - 8 : | ĸ |
| | % 🗈 💼 🖫 - | - Ŵ: | 1 8 [| Ð | V. V. 🖌 🏌 | X, Y, Y, | | 4 - | • • | | (| £ [| # | 🏹 🗖 |) and | a) | | | |
| l. | Worksheet Selector | ₽× | fulla | dd) | | | | | | | | | | | | | | | |
| Electrical Objects Defense Defense Line To >> Thru Pin | | | | | | Thru Pin To >> SI | | D Pin To ≫ | Test | Pin To ≫ | > Thru Via To >> | | > BB Via To : | | | | | | |
| | +fr Physical | | | 1.1 | 00,0010 | Spacing CSet | | All | | All | | All | | All | | All | | All | |
| | Spacing | | Type * | \$ * | Name | * | * | mil | * | mil | * | mil | * | mil | * | mil | * | mil | |
| | Spacing Constraint Set | | Dsn | i i | fulladd | DEFAULT | 212 | | 5.00 | | 5.00 | | 5.00 | | 5.00 | | 5.00 | | |
| | Net | | SCS | Ц | DEFAULT | | *** | | 5.00 | | 5.00 | 1 | 5.00 | | 5.00 | | 5.00 | | |
| | All Layers | | | | | | | | | | | | | | | | | | |
| | Net Class-Class | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | |
| | CSet assignment matrix | | | | | | | | | | | | | | | | | | 1 |
| | Region | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | |
| | Spacing | | | | | | | | | | | | | | | | | | |
| | E Same Net Spacing | | 1 | | | | | | | | | | | | | | | | 1D |
| | Properties | | | | | | | | | | | | | | | | | - | |
| | M DRC | | •• | All | Layers / | | | | • | | | m | | | | | | Þ | |
| | Use right arrow to select | | | | | | | | | Id | e | | DR | C | Syn | c on. | | | |
| | | _ | | | | | | | | | | | | | | | | | - |

Рис. 21.31. Проверка правил разработки печатной платы

21.6. Использование категории DataTip

Конструкции становятся более плотными и различить определённый элемент в плотной конструкции может быть сложно. Чтобы помочь вам выбрать

правильный элемент, наведя курсор, над выделенным элементом появляется контекстно-зависимая информация DataTip, которая идентифицирует элемент. DataTip будет появляться над панелью команд консоли окна, если установить переменную datatips_fixedpos в меню Setup>User Preferences (рис. 21.32).



Рис. 21.32. Установка переменной datatips_fixedpos

Можно выводить дополнительные параметры, установив Setup>DataTips Customization (рис. 21.33).



Рис. 21.33. Дополнительные параметры образца символа

21.7. Выделение области

Этот инструмент позволяет выделять элементы конструкции одним из выбранных инструментов набора выделения. Команды, которые работают при этом выборе набора, затем появляются на правой кнопке мыши всплывающего окна меню (рис.21.34). Чтобы снять выбор, нажмите Clear all Selections. При нажатии правой кнопкой Selection Set появляются варианты выделения области. Вы можете выбрать подходящий (Polygon) и он станет постоянным (Persistent) до сброса.

Для переключения режима надо выполнить Persistent Off.



Рис. 21.34. Выбор области выделения

На рис. 21.35 показано выделение области, используя Polygon.



Рис. 21.35. Выделение области, используя Polygon

21.8. Выбор элементов дизайна с помощью Superfilter

Superfilter позволяет выбрать конкретный тип элемента для более точного выбора и временно отключить все остальные элементы. Для этого правой кнопкой мыши надо открыть всплывающее меню и отметить нужный для поиска тип объекта. На рис. 21.36 выбираться будут только цепи, а на рис. 21.37 будут выбираться символы из всплывающего меню правой кнопкой мыши, а не через окно Find.

По умолчанию для Superfilter установлено значение Off (Выкл.). Это означает, что выбираются все объекты в конструкция (нефильтрованный выбор).



Рис. 21.36. Выбор только цепей суперфильтром



Рис. 21.37. Выбор только символов суперфильтром

21.9. Общие параметры на всплывающих меню

Во всплывающем меню после нажатия правой кнопки мыши можно выполнять дополнительные функции, а также будут доступны различные варианты.

Quick Utilities позволяет получить доступ к часто используемым функциям, таким как Undo, Design Parameters, Grids, Change active subclass (рис. 21.38).



Рис. 21.38. Всплывающие меню из Quick Utilities

Щелчок правой кнопкой мыши на элементе конструкции открывает более подробное содержание всплывающих меню (рис. 21.39). Рекомендуем ознакомиться с опциями этих меню.





Рис. 21.39. Всплывающие меню после щелчка на элементе конструкции

21.10. Описание режима привязки

Если команда выполняется на подмножестве набора компонентов или на иерархических блоках, то соответствующие элементы надо добавить к набору, а остальные части проекта игнорируются.

Для этого выполняют привязку компонентов.

Режим привязки доступен, когда даётся интерактивная команда редактирования, например, *Move* или *Copy*. При этом правой кнопкой открывается меню, содержащее команды Snap pick to (Привязать к ..), Persistent Snap (Shape Center) и прочие (рис. 21.40). Можно нарисовать дорожку проводника близко к контакту, щелкнуть правой кнопкой мыши и выбрать Snap pic to>Pin (привязать к пину). Это удобно для других целей, таких как сквозные отверстия (Via).

По желанию можно контролировать как отправную точку выбора, так и точку назначения. Привязка к точке достигается от текущего положение мыши к выбранному режиму привязки и зависит от режима привязки и типа объекта

привязки. Если объекты не доступны, привязка будет неудачна. Появится сообщение в окне командной строки, указывающее, что привязка оказалась неудачной. Подробнее об этих режимах следует читать в полном руководстве по OrCAD 17.2 от компании Cadence.



Рис. 21.40. Установки режима привязки

21.11. Использование панели окна WorldView

Есть три способа, которыми вы можете контролировать вид конструкции с помощью окна WorldView:

- Для отображения конкретных областей дизайна
- Для прокрутки дизайна
- Для увеличения или уменьшения масштаба конструкции

В окне просмотра (позиционирования) открывается дополнительное меню (рис. 21.41).



Рис. 21.41. Работа с окном WorldView

Для отображения платы в полном размере надо выделить границу и нажать кнопку Zoom Fit или в командной строке набрать zoon fit (puc. 21.42).



В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

Рис. 21.42. Возврат к исходному масштабу платы

21.12. Маршрутизация

После завершения размещения компонентов на плате, вы можете сделать маршрутизацию (трассировку) платы полного сумматора для выполнения электрических соединений между компонентами. OrCAD PCB Editor поддерживает как ручную маршрутизацию так и автомаршрутизацию. Обычно наиболее важные цепи сначала разводят вручную, закрепляют их, а затем выполняют автоматическую маршрутизацию (разводку) остальной части платы.

21.12.1. Руководство по маршрутизации

Шаги, используемые в процесс ручной маршрутизации, следующие:

- Проверьте контур платы с помощью определений, маршрутизации и с помощью сеток.
- Выполните разводку питания и земли.
- Просмотрите поверхностный монтаж устройств и проверьте подключение к сети питания и заземлению.
- Разведите остальные сигналы с помощью ручной маршрутизации.
- Выполните оптимизацию маршрутизации с использованием ручных команд.
- Проверьте наличие нарушений промежутков трасс и проверьте статистику маршрутизации.

Примечание: Чтобы узнать больше о каждом из этих этапов, см. документацию PCB Editor.

21.12.2. Ручная маршрутизация цепей VCC и GND.

Перед тем, как начать маршрутизацию цепей VCC и GND, убедитесь, что вы удалили свойство NO_RAT, прикрепленное к этим цепям. Чтобы удалить это свойство:

1. Выберите Object Properties в меню Edit или нажмите клавишу F12.

2. В панели Find выберите опцию Net (если она ещё не выбрана) из раскрывающегося списка Find By Name.

3. Введите VCC и нажмите кнопку More (рис. 21.43)

На плате высветятся проводники VCC. Выделите проводник и выберите Properties Edit.

Появится диалоговое окно Edit Property, отображающее все свойства, относящиеся к цепи VCC.

4. Выберите свойство NO_RAT в списке Available Properties. Установленные свойства отображаются в панели на правой части диалогового окна (рис. 21.43).

Дополнительные сведения о свойствах редактора печатных плат см. в документации PCB Editor.

5. Установите флажок Delete рядом с именем свойства No_Rat.

- 6. Сделайте пустым меню Value.
- 7. Нажмите кнопку Apply.

8. Нажмите кнопку ОК, чтобы закрыть диалоговое окно Edit Property.

| Edit Property | | Design Object Find Filter All On All Off Groups V Bond wires V Comps V Shapes |
|---|-----------------------|--|
| Available Properties Mvia_To_Thrupin_Spacing Mvia_To_Thrupin_Spacing Net Schedule No_Diff_Pair No_Fillet No_Fillet No_Fillet No_Pin_Escape No_Pin_Escape | Delete Property Value | Image: Symbols Image: Voids/Cavities Image: Symbols Image: Voids/Cavities Image: Symbols Image: Symbols Image: Symbols |
| No_Route No_Route No_Sm_Coverage_Check No_Test No Wirehond Name: OK Cancel Help | Reset Apply Show-> | Find by Query |

Рис. 21.43. Установка свойства No_Rat для цепей VCC

| − ↓) ↓ λ / | | | Comps Symbols | ✓ Shapes ✓ Voids/Cavities |
|--|-------------------|---------|------------------|---------------------------|
| | | l | V Function | ıs 📃 Cline segs |
| Available Properties | Delete Property | Value | 📝 Nets | Other segs |
| No Diff Pair | No Bat | | 📝 Pins | 🔽 Figures |
| No_Fillet | | | 📝 Vias | DRC errors |
| No_Gloss | | | V Fingers | 📝 Text |
| No Rat | | | 📝 Clines | Ratsnests |
| No Boute | | | 📝 Lines | 📝 Rat Ts |
| No_Sm_Coverage_Check No_Test No_Wirebond | | | 🗖 By Save | d Query |
| Object_Instance | 💥 Show Properties | | | * |
| Pad Pad Direct Connect | 🖈 🗶 🗁 🖬 🖨 🌒 | Search: | » Find by | y Query |
| Name: | Net: GND | | | |
| | NO_RAT | | Find By Nar | |
| OK Cancel Help | | | | More |
| | | | | |

Аналогичные действия выполните для цепей GND (Рис. 21.44).

Рис. 21.44. Установка свойства No_Rat для цепей GND

Примечание: Вы можете использовать диалоговое окно Edit Property для добавления или удаления свойств компонента или цепи.

Перед ручной разводкой убедитесь, что шаг сетки соответствует или меньше шага выводов микросхем.

Установим шаг сетки 25.0. Для этого выполним Setup>Grids (рис. 21.45).

| 🙀 Define Grid | | | | | | | |
|---------------|----------|------------|--------|---|----|---------|------|
| 🔽 Grids On | | | | | | | |
| Lauer | | | Offset | , | | Spacing | |
| Layer | | | Onsor | | | opacing | |
| Non-Etch | Spacing: | × | 25.00 | | | | |
| | | y: | 25.00 | | | | |
| | Offset: | × | 0.00 | | y: | 0.00 | |
| All Etch | Spacing: | X: | | | | | |
| | | Ų: | | | | | |
| | Offset: | X: | | | y: | | |
| тор | Spacing: | <i>v</i> . | 25.00 | | | | |
| | opdoing. | U. | 25.00 | | | | |
| | Offset: | x | 0.00 | | y: | 0.00 | |
| DOTTON | <u> </u> | | | | | | |
| BULLOW | Spacing: | X: | 25.00 | | | | |
| | 04 | y: | 25.00 | | | 0.00 | |
| | Urrset: | X: | 0.00 | | y: | 0.00 | |
| | | | | | | | |
| | | | | | | | |
| ОК | | | | | | | Help |
| | | | | | | | |
| | | _ | | | | | |

Рис. 21.45. Установка шага сетки

Чтобы вручную развести VCC и GND цепи:

1. Выберите вкладку Find в правой части окна редактора печатных плат. Появится панель Find.

2. Выберите опцию Net из списка Find By Name.

3. Нажмите кнопку More. Появится окно Find by Name или Property, отображающие все доступные цепи.

4. Выберите VCC. Элемент цепи VCC отображается в сетке Selected objects (рис. 21.46).

5. Нажмите кнопку ОК. Все сети VCC будут выделены в окне проекта.

6. Выберите Connect из меню Route.

| Find by Name or Property | ✓ Functions ✓ Nets | Cline segs |
|---|--|---|
| Object type: Net Available objects Selected objects Name filter: * Value filter: * | ✓ Pins ✓ Vias ✓ Fingers ✓ Clines ✓ Lines | Figures Figures DRC errors Text Ratsnests Ratsnests |
| N00238_Halfadd_A0 N00238_Halfadd_A1 N00258_Halfadd_A0 N00258_Halfadd_A1 N00424_Halfadd_A0 N00424_Halfadd_A1 N00531_Halfadd_A0 N00531_Halfadd_A1 N00531_Halfadd_A1 | By Saved G | luery |
| Use 'selected objects' for a deselection operation OK Cancel Apply Help | Find By Name Net | ▼ Name ▼ More) |

Рис. 21.46. Выделение цепей VCC

Примечание: В качестве альтернативы, вы можете щёлкните значок Add

Connect 🏅

7. Измените ширину линии до 20.00 в панели Options.

8. Теперь нажмите на цепь, которую надо проложить.

9. Нарисуйте цепь по нужному пути.

10. После завершения разводки, щёлкните правой кнопкой мыши на цепи и выберите Done.

Аналогичным образом, выполните описанные выше действия для ручной маршрутизации цепи GND.

Плата с разведенными цепями VCC и GND показана на рис. 21.45.



Рис. 21.45. Плата после разводки цепей VCC и GND

21.12.3. Маршрутизация остальных сетей вручную

Чтобы вручную трассировать остальные сети, выполните следующее:

1. Ввведите команду zoom fit, чтобы ваша плата соответствовала окну дизайна.

2. Поместите курсор на цепь, которую надо проложить и увеличьте масштаб.

3. Выберите Connect из меню Route или выделите цепь, нажмите правую кнопку мыши и выберите Add connect (рис. 21.46).



Рис. 21.46. Выбор цепи для разводки

4. Нажмите на цепь, которую разводите. Панель Options изменится, как показано на рис. 21.47.

| Options | | - 8 | | | | | | |
|-------------------------------------|--|-----|--|--|--|--|--|--|
| ■ Bott ■ Top < VIA > Net: | tom - Act Alt - Via N01594 | | | | | | | |
| Line lock: Miter: Line width: | Line ↓ ↓ 1x width ↓ Min ↓ 5.00 ↓ ↓ | | | | | | | |
| Bubble: | Shove preferred - | | | | | | | |
| Shove | vias: Off 🔹 | | | | | | | |
| 📝 Grie | dless | | | | | | | |
| 🔽 Clip | 📝 Clip dangling clines | | | | | | | |
| Smooth | h: Minimal 👻 | | | | | | | |
| 📝 Snap to c | connect point | | | | | | | |
| • | | - F | | | | | | |

Рис. 21.47. Панель Options для разводки остальных цепей

Примечание: Убедитесь, что настройка Line Lock является Line, 45. Ширина линии 5.00.

5. Нарисуйте цепь по нужному пути.

6. После завершения маршрутизации, щёлкните правой кнопкой мыши на цепи и выберите Done.

Для изменения слоев во время маршрутизации выполняют добавление переходных отверстий Add Vias:

1. Нажмите на цепь, которую проводите.

2. Щёлкните правой кнопкой мыши на цепь и выберите Add Via. Добавится переходное отверстие Via. Текущий активный слой становится Alternate layer и Alternate layer становится Active layer и наоборот. Например, если у вас есть верхний и нижний слой, где текущий активный слой верхний, то затем, когда вы добавляете Via, нижний слой станет активным слоем и верхний слой становится Alternate layer (рис. 21.48).



Рис. 21.48. Длбавление переходного отверстия и изменение слоя проводника

3. Нарисуйте цепь по нужному пути.

4. После завершения маршрутизации, щёлкните правой кнопкой мыши на цепи и выберите Done.

В целом, получение навыков ручной маршрутизации потребует от вас терпения и определенных усилий. Если вы справитесь с трудностями, то получите эталонный образец разведенной платы, показанный на рис. 21.49.



Рис. 21.49. Эталлонный образец платы

Файл образца платы fulladd.brd доступен по адресу: /complite / allegro Более подробную информацию о маршрутизации плат вы найдете в специальных руководствах компании Cadence.

21.13. Автоматическая маршрутизация с помощью PCB Editor

OrCAD PCB Editor поддерживает автомаршрутизацию платы, компонентов и DRC.

Автомаршрутизация предполагает, что цепи на законченной плате проложены. Разводка компонента выполняется только для цепей, прикрепленных к выбранному компоненту.

Для разводки платы:

1. Выберите Route - PCB Router - Route Automatic. Появится диалоговое окно Automatic Router.

2. Нажмите Route. Плата будет разведена.

Для получения дополнительной информации см. документации PCB Editor.

Примечание: Эта опция может быть недоступна, если вы используете программу PCB Editor Lite.

21.14. Автоматическая маршрутизация с помощью OrCAD PCB Router

При выборе автотрассировщика OrCAD PCB Router марщрутизируется вся плата. PCB Router использует маршрутизацию на основе Shape-Based или бессеточной технологии и является более быстрым инструментом маршрутизации.

Согласно ей все объекты печатной платы моделируются в виде совокупности геометрических фигур (прямоугольник, круг, дуга, трасса, полигон). При бессеточной технологии каждый объект моделируется не набором узлов сетки, а геометрически точно, за счет чего достигается более плотный монтаж. Характерная особенность бессеточной технологии – меньшие затраты памяти компьютера. Она в основном предназначена для маршрутизации многослойных печатных плат с высокой плотностью расположения компонентов в автоматическом, интерактивном и ручном режимах. Особые преимущества имеет при наличии планарных компонентов, выполненных в разных системах единиц (метрической и английской).

Чтобы использовать автоматический маршрутизатор PCB Router:

1. В меню Пуск, выберите OrCAD PCB Router.

2. Укажите файл дизайна, который должен быть загружен.

Вы можете открыть .dsn файл, созданный в папке allegro вашего проекта, если вы выполнили предыдущие шаги в этой главе. Вы также можете открыть файл FULLADD.ses из complete/allegro.

В полной версии программы PCB Router появится диалоговое окно PCB Router ShapeBased Automation Software отображающее файл дизайна (рис. 21.50).

| Edit | ⊻iew | Select | Define | <u>R</u> ules | Autoroute | Report | <u>W</u> indow | Help | | | | | | |
|----------------|--------------|--------------------|--------------------|-----------------|-----------------------|------------------|---------------------|-----------|----------|------|----|-------|---|-------|
| | 🔊 | 🌍 🗲 | | 1 12 | ்ப. | F 🏏 | ₽ | -2 | ጆ 🕷 | \ئي¦ | | | | |
| | | | | | | | | | | | | | | |
| nconne | cts: 3 | 2 | Conflict | ts: O | C | ompletior | n: 0.0 % | Cu | rrent Ne | t | | S TOP | • | Check |
| omman | id: | | | | | N | lessage: | Net C | comp l | Pin | | | | |
| e | | | | Measur | e 💼 | X: 5715 | i | Y: 4 | 670 | | ∆: | | | mil |
| Compon Loca | ent: tion | cct_mi : 3800.0 | sc_892: 0000 41 | 32480 300.00 | Image: co OO Side: | t_misc_ front | _8923248 Rotatio | 0 n: 0 | | | | | | |

Рис. 21.50. Окно маршрутизатора РСВ Router в полной программе

3. Выберите Route из меню AutoRoute. Появится диалоговое окно AutoRoute.

4. Выберите опцию Basic в диалоговом окне AutoRoute.

Для получения дополнительной информации см. *PCB Router User Guide* и *PCB Router Tutorial*.

5. Чтобы начать автомаршрутизацию, нажмите кнопку ОК.

Процесс маршрутизации начинаётся и плата будет разведена.

Примечание. В учебной программе PCB Router Lite файл FULLADD.ses открывается и указываюся ошибки в файле.

Поэтому мы будем использовать учебные файлы из библиотеки PCB Router. Путь к файлам:

C:/Cadence/SPB_17.2/share/specctra/tutorial/lesson1.dns (рис. 21.51).

| Allegro PCB Router Version 17. | 2 Startup | | × | | | | | | | | |
|--|-----------|-----------------|--------|--|--|--|--|--|--|--|--|
| Please enter the path to the design file Cadence | | | | | | | | | | | |
| Design / Session File: | | | | | | | | | | | |
| C:\Cadence\SPB_17.2\share\specctra\tutorial\lesson1.dsn Browse | | | | | | | | | | | |
| Wires / Routes File: | | | | | | | | | | | |
| Browse | | | | | | | | | | | |
| Placement File: | | | | | | | | | | | |
| | | | Browse | | | | | | | | |
| Do File: | | | | | | | | | | | |
| | | | Browse | | | | | | | | |
| Initial Command: | | | | | | | | | | | |
| Start Allegro PCB Router | Quit | More Options >> | Help | | | | | | | | |

Рис. 21.51. Выбор учебного файла lesson1

Нажмите Start Allegro PCB Router. Соглашаемся работать в Демоверсии без сохранения результатов (рис. 21.52).



Рис. 21.52. Работа в демоверсии без сохранения результатов

На рабочем поле появится макет платы с установленными компонентами (рис. 21.53).



Рис. 21.53. Макет платы с компонентами

Выполняем установки для автомаршрутизации: Autoroute>Route>Basic (рис. 21.54)



Рис. 21.54. Установки для автоматической маршрутизации

Игнорируем предупреждение об ошибке лтцензии (рис. 21.55).



Рис. 21.55. Предупреждение об ошибке лицензии

Несколько секунд выполняется автомаршрутизация и мы получаем разведенную плату (рис. 21.56)



Рис. 21.56. Разведенная плата

21.15. Пост-обработка

В данном разделе представлены некоторые из задач, которые не являются частью процесса размещения и маршрутизации, но связаны между собой и могут быть выполнены с помощью редактора OrCAD PCB. Чтобы узнать больше о пост-обработке, обратитесь к документации редактора печатных плат.

21.15.1. Переименование компонентов вручную

После завершения размещения и маршрутизации вашей печатной платы, вы можете переименовать компоненты вручную на печатной плате в определённом порядке.

1. В меню Edit выберите Text.

2. Щелкните левой кнопкой мыши на позиционном обозначении, которое нужно изменить. Выбранное позиционное обозначение появляется в командной строке.

3. Изменение позиционное обозначение как требуется в командной строке и нажмите клавишу Enter.

PCB Editor переименовывает компоненты. Ссылочные обозначения для компонентов на плате изменятся.

4. Сохраните файл платы и закройте PCB Editor.

21.15.2. Автоматическое переименование компонентов

1. Выберите Logic - Auto Rename Refdes. Появится диалоговое окно Rename Refdes.

Примечание: в учебной версии эта опция может отсутствовать.

| 🙀 Rename RefDes | |
|--------------------------------------|----|
| Grid Specification | |
| C User defined grid | |
| Use default grid | |
| I▼ Rename all components | |
| Attach property, components | |
| More | |
| Rename Close Cancel He | ip |

2. Выберите опцию Use default grid. Этот опция использует сетку по умолчанию, которая представляет встроенный метод переименования компонентов (см рис. 21.57).

3. Нажмите кнопку More. Появится диалоговое окно Rename Ref Des Set Up, на котором вы установили все параметры ссылок названий (рис. 21.58). Для получения дополнительной информации обратитесь к документации редактора печатных плат.

Рис.21.57. Окно автоматического переименования

| 🥦 Rename Ref Des Set Up | | _ 🗆 🗵 |
|---|---|------------|
| Layer Options | Reference Designator Format RefDes Prefix: | Я |
| Starting Layer: Top Layer | Top Layer Identifier: | T |
| Component Origin: Body Center | Skip Character(s): | IOQ |
| Directions for Top Layer | Renaming Method: | Sequential |
| First Direction: Horizontal | Preserve current prefixes | |
| Ordering: Left to Right Then Downwards | Sequential Renaming Refdes Digits: 1 | |
| Directions for Bottom Layer | Grid Based Renaming | |
| First Direction: Horizontal | 1st Direction Designation: | |
| Ordering: | 2nd Direction Designation: | |
| Right to left Then Downwards | Suffix: | |
| Close Cancel Reset | | Help |

Рис. 21.58. Установки автоматического переименования

4. Примите значения по умолчанию и нажмите кнопку Close в диалоговом окне Rename Ref Des Set Up, чтобы закрыть диалоговое окно и сохранить настройки.

Снова появляется диалоговое окно Rename RefDes.

5. Нажмите Rename в диалоговом окне Rename RefDes .

Редактор РСВ автоматически переименовывает каждый компонент в вашей конструкции в одной операции. Статус операции переименования отображается в командной строке.

21.15.3. Обратное аннотирование

При создании печатной платы вы можете внести некоторые изменения в файле редактора PCB платы (.brd). В результате файл платы и файл дизайна в Capture могут быть не синхронизированы. Для того, чтобы убедиться, что оба эти файла находятся в синхронизации, вы можете выполнить backannotate (обратное аннотирование) изменений в файле печатной платы для Capture.

Когда вы выполняяете backannotate, информация, например, расположение компонентов и имена компонентов (изменились в связи с переименованием) добавляется к схеме в Capture.

Для выполнения обратного аннотирования изменений в схеме:

1. Откройте FullAdd.opj в Capture.

2. В окне менеджера проекта, выберите fulladd.dsn.

В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

354

3. Выберите пункт меню Tools – Back Annotate. Появится диалоговое окно Backannotate (рис. 21.59).

| Backannotate | | × |
|--------------------------------|--------------------------|-------------|
| PCB Editor Layout | | |
| | | Catura 1 |
| Generate <u>F</u> eedback | iles | Setup |
| PCB Editor <u>B</u> oard File: | allegro\fulladd.brd | |
| | | |
| Netlist Directory: | allegro | |
| Output File: | allegro\fulladd.swp | |
| - Back Appotation | | |
| Undate Schematic | View Output (SWP) Fi | ie I |
| | i _ ion output (.5m) ii | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | OK | Cancel Help |

Рис. 21.59. Окно обратного аннотирования

4. Выберите вкладку РСВ Editor, если она не выбрана.

5. Выберите кнопку Generate Feedback Files (если она ещё не выбрана).

Примечание: Убедитесь, что правильный конфигурационный файл (allegro.cfg) задается в диалоговом окне настройки. Чтобы просмотреть файл конфигурации, нажмите кнопку Setup. Путь к файлу конфигурации должен быть <install_dir>\tools\capture\allegro.cfg, где <install_dir> расположение установки программы.

Примечание: Убедитесь, что текстовое поле Netlist Directory содержит каталог, где будут сохранены обновлённые файлы списка соединений (PST * .dat). Расположением по умолчанию является подкаталог Allegro в каталоге проекта.

6. Перейдите в папку, где необходимо сохранить файл .swp. Файл .swp генерируется Capture после внесения изменений в файл платы (.brd). Чтобы В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

узнать больше о файле .swp см. Руководство пользователя OrCAD Capture. Для нашего учебника .swp файл назвается fulladd.swp и каталог, в котором будет сохранен файл, является: / complite / allegro.

7. Установите флажок Update Schematic (если он еще не выбран), если вы хотите, чтобы в Capture эскизное проектирование (fulladd.dsn) было обновлено с последней информацией backannotation из файла .swp.

8. Выберите флажок View Output (.swp) File, чтобы автоматически открыть файл .swp в отдельном окне Capture для просмотра и редактирования после того, как файл .swp генерируется. Этот флажок не выбран по умолчанию.

9. Нажмите кнопку ОК в диалоговом окне Backannotate. Появится сообщение с запросом, чтобы сохранить изменённый дизайн до создания нового списка соединений и файл .swp (см. рис.21.60).



Рис. 21.60. Запрос о сохранении дизайна

10. Нажмите кнопку Yes в окне сообщения.



Рис. 21.60. Генерация нового списка соединений

Capture генерирует файлы списка соединений (PSTCHIP.DAT, PSTXPRT.DAT и PSTXNET.DAT) (рис. 21.60) и создаёт файл fulladd.swp в указанном месте каталога, который в данном случае является \complete\allegro.

Файл .swp открывается в отдельном окне Capture, а также появляется в каталоге выходов в окне диспетчера проекта.

Схема обновляется в соответствии с изменениями в файле платы на основе созданного файла .swp.

Точно так же, если файл платы открыт в редакторе печатных плат и вы делаете изменения в эскизном проектировании, вы можете быть уверены, что эти изменения перейдут на плату во время создания списка соединений в Capture.

Чтобы сделать это:

1. В окне менеджера проекта, выберите fulladd.dsn.

2. В меню Tools выберите Create Netlist.

3. На вкладке PCB Editor в диалоговом окне Create Netlist укажите расположение каталога базовой платы. Для нашего учебника, каталог базовой платы /complete/allegro/fulladd.brd.

4. В текстовом поле Output Board File укажите имя платы и расположение каталога, где будет создан обновлённый файл платы.

5. Нажмите кнопку ОК в диалоговом окне Create Netlist.

Сарture генерирует файлы списка соединений (PSTCHIP.DAT, PSTXPRT.DAT и PSTXNET.DAT) и обновлённый файл платы создаётся в указанном месте каталога. Изменения в эскизном проекте появяться в файле платы.

21.16. Кросс-зондирование и кросс-выделение между редактором

печатных плат и Capture

OrCAD PCB Editor тесно интегрирован с OrCAD Capture. В результате вы можете использовать кросс-зондирование для проверки потока информации между эскизным проектирования и дизайном платы и наоборот.

Cross probing позволяет выбрать объект в схемы Capture и увидеть соответствующий объект в редакторе печатных плат.

Чтобы включить кросс-зондирование, необходимо включить Intertool (межинструментальную) связь между Capture и редактором печатных плат.

Чтобы сделать это:

1. В окне менеджера проекта в Capture, выберите fulladd.dsn.

2. В меню Options в Capture, выберите Preferences.

3. Выберите вкладку Miscellaneous.

4. Убедитесь, что установлен флажок Enable Intertool Communication в секции Intertool Communication.

5. Нажмите кнопку ОК.

Перед тем, как начать cross probing, откройте окна Capture и редактор РСВ. Выберите компонент в Capture. Редактор РСВ автоматически отображает соответствующие компоненты.

Например, если вы выбираете R1 в файле FULLADD.DSN, соответствующий резистор R1 будет отображаться в редакторе печатных плат, как показано на рис.21.61.



Рис. 21.61. Отображение компонента в редакторе печатных плат

Кросс подсветка позволяет выбрать объект в редакторе печатных плат и увидеть соответствующий объект выделенным в Capture.

В случае перекрестной подсветки между редактором печатных плат и Capture, сначала выберите Highlight из меню Display, а затем выберите компонент в редакторе печатных плат и соответствующий компонент будет выделен Capture.

Например, если вы выбираете R1 в файле FULLADD.BRD, соответствующий резистор R1 будет выделен в Capture, как показано на рис. 21.62.



Рис. 21.62. Подсветка компонента в Capture

Примечание: Если вы хотите отключить подсветку, выберите Dehighlight из меню Display.

Примечание: в учебных версиях опции кросс-зондирования и кроссвыделения могут быть отключены.

21.17. Генерация вывода

Последней задачей в создании дизайна платы является создание выходных файлов. Вы можете создать Gerber файлы, файлы сверления, DXF-файлы и принтер / плоттер файлы.

Перед тем, как создавать отчёты и выходные файлы, вы должны сделать резервную копию вашего дизайна и очистить дизайн. Для того, чтобы очистить ваш дизайн:

1. Выберите Route – Gloss – Line Parameters.

Появится диалоговое окно Line Smoothing.

2. Примите значения по умолчанию и нажмите Gloss.

Конструкция очищается. Теперь вы можете генерировать желаемые выходные файлы и отчёты.

Перед созданием выходного файла (artwork), убедитесь, что Вы запустили Update DRC из меню Tools в редакторе печатных плат.

21.18. Выходные файлы

Используя редактор OrCAD PCB, вы можете создавать различные файлы, которые в дальнейшем могут быть использованы с различными инструментами сторонних производителей, таких как GerbTool, VisualCAD, AutoCAD, и так далее.

Для создания этих выходных файлов, выполните следующие действия:

1. В меню Manufacture выберите Artwork.

Появится диалоговое окно Artwork Control Form (рис. 21.63).

| 🙀 Artwork Control Form | | | -OX |
|---|---|--|------|
| Film Control General Parameters Device type Gerber 6x00 Gerber 4x00 Gerber RS274X Barco DPF MDA | Film size limits Max X: 24.000 Max Y: 16.000 | Coordinate type Absolute Incremental | |
| Error action Abort film Abort all Suppress | Format Integer places: 5 Decimal places: 3 Output ur | Output options Optimize data Use 'G' codes nits | |
| ✓ Leading zeroes | 999 Scale facto | s sters r for output: 1.0000 | |
| OK Cancel | Apertures Viewlog | | Help |

Рис.21.63. Окно Artwork Control Form

2. На вкладке General Parameters выберите кнопку Gerber RS274X опцию в разделе Device type section.

3. Примите значения по умолчанию и нажмите кнопку ОК, чтобы закрыть диалоговое окно Artwork Control Form.

4. Снова выберите Artwork, из меню Manufacture.

5. Выберите вкладку Film Control.

6. Установите флажки, соответствующие слою (слоям) пленки в диалоговом окне Artwork Control Form. Для нашего случая выбраны как верхний (ТОР) так и нижний (ВОТТОМ) слои (рис. 21.64).
| 🚰 Artwork Control Form | |
|--|--|
| Film Control General Parameters | |
| | Film options Film name: TOP Rotation: 0 Offset X: 0.00 Y: 0.00 |
| | Undefined line width: 0.00 Shape bounding box: 100.00 Plot mode: © Positive © Negative Film mirrored Full contact thermal-reliefs |
| Select all Load Check database before artwork Create Artwork | Suppress unconnected pads Draw missing pad apertures Use aperture rotation Suppress shape fill Vector based pad behavior |
| OK Cancel Apertures | Viewlog Help |

Рис. 21.64. Установка параметров Artwork Control Form

7. Нажмите кнопку Create Artwork. Появится окно сообщения, показывающее ход создания Artwork. После этого, в Artwork будут созданы файлы с расширением .ART, которые сохраняются в папке \complete\allegro каталога дизайна (для этого учебника).

8. Нажмите кнопку ОК, чтобы закрыть диалоговое окно Artwork Control Form.

Вы можете просматривать файлы Artwork , созданные в редакторе печатных плат.

Только Cadence® поддерживает Artwork.

Для просмотра произведения Artwork:

1. В меню File, выберите Import - Artwork. Появится диалоговое окно загрузки Cadence Artwork .

2. Введите или найдите имя файла Artwork (.ART), который вы хотите загрузить в текстовом поле Filename. (рис. 21.65).

В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

362

| 🙀 Load Cao | dence Artwork | |
|-------------------|--|--|
| Filename: | /complete/allegro/BOTTOM.art | |
| Format: Class: | Gerber RS274X Manual -> Etch | |
| Subclass: Bottom | | |
| Only import | ing Cadence Allegro artwork supported. | |
| Options - | | |
| Origin | Absolute Origin | |
| Add offset | | |
| OK | Load file Help | |
| | | |

Рис. 21.65. Загрузка файла Artwork

3. Выберите подкласс из выпадающего меню Subclass (рис. 21.65).

4. Нажмите Load File. Динамический прямоугольник, который представляет содержание данных Gerber, появится в рабочей области пользовательского интерфейса.

5. Щелкните левой кнопкой мыши на динамическом прямоугольником, чтобы поместить в окне дизайна. Artwork помещается в окне дизайна. Образец файла Artwork, BOTTOM.art доступен по адресу: //complete/allegro.

Примечание: Файл образца платы, fulladd_artwork.brd показывающий artworks (TOP.art и BOTTOM.art) доступен по адресу: /complete/allegro.

Для переключения между верхней и нижней частями, размещенными на fulladd_artwork.brd, надо выбрать вкладку Visibility (рис. 21.66) и выбрать artwork, который вы хотите просмотреть из представленых в раскрывающемся списке. Выбранная работа отображается в окне дизайна.

| Views: | Last View |
|----------|--------------|
| Layer | Last View |
| Conducti | Film: BOTTOM |
| Planes | |
| Тор | |
| Bottom | |
| | |
| | |
| - | |

Рис. 21.66. Выбор отображаемой части платы

21.19. Отчеты

Вы можете создавать различные отчеты с использованием редактора OrCAD PCB.

Для создания отчетов, выполните следующие действия:

1. В меню Tools выберите команду Quick Reports.

2. Выберите нужные отчеты, которые надо сгенерировать.

Для дизайна полного сумматор выберите компонент вариант отчета Component Report.

21.20. Резюме

В этой главе вы познакомились с OrCAD PCB Editor, который является инструментом размещения компонентов и маршрутизации печатных плат в OrCAD. Вы выполнили задачи, необходимые для принятия проекта от OrCAD Capture - инструмента схемного проектирования, чтобы разместить компоненты и сделать маршрутизацию платы в OrCAD PCB Editor. Вы также познакомились с OrCAD PCB Router, который является инструментом, используемым для компоновки и трассировки печатных плат в автоматическом режиме.

Для получения дополнительной информации о OrCAD PCB Editor читайте документацию по PCB Editor:

■ Allegro® PCB Editor User Guide

■ Allegro PCB and Package Physical Layout Command Reference. Table of Contents

■ Allegro Platform Properties Reference

Чтобы узнать больше о OrCAD PCB Router, читайте:

■ PCB Router User Guide

21.21. Контрольные вопросы

1. Для чего служит и как используется редактор печатных плат OrCAD PCB Editor ?

В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

2. Какие задачи надо выполнить в Capture для подготовки к работе в OrCAD PCB Editor ?

- 3. Как выполняют создание списка соединений ?
- 4. Какие файлы формируются при создании списка соединений ?
- 5. Какие основные панели содержит окно редакторв печатных плат?
- 6. Какие режимы работы использует OrCAD PCB Editor ?
- 7. Как устанавливают параметры проектирования в OrCAD PCB Editor ?
- 8. Как создают контур печатной платы?
- 9. В каких единицах измеряют размеры в OrCAD PCB Editor ?
- 10. Как использовать команду Ріск для создания контура печатной платы
- ?
- 11. Как можно удалить неудачный контур печатной платы?
- 12. Как можно целиком отобъразить контур платы в окне дизайна?
- 13. Как выполняют добавление монтажных отверстий на плату?
- 14. Как удалить ненужный компонент с платы?
- 15. Как размещают компоненты на плате, используя RefDes ?
- 16. Как можно выполнить поиск компонентов на плате ?

17. Как выполняют проверку правил проектирования и для чего ее используют ?

- 18. Для чего используют категорию DataTip?
- 19. Как можно выделить область на плате ?
- 20. Как выполняют выбор элементов конструкции с помощью Superfilter ?
- 21. Для чего и как используют режим привязки компонентов ?
- 22. Для чего используют окно WorldView ?
- 23. Как выполняют ручную маршрутизацию цепей VCC и GND ?
- 24. Как выполняют ручную маршрутизацию остальных цепей?

25. Для чего служат переходные отверстия и как переключают активный и альтернативный слой ?

26. Как выполняют автоматическую маршрутизацию с помощью OrCAD PCB Router ?

27. Что включает в себя пост-обработка с помощью редактора OrCAD PCB ?

28. Для чего используют Кросс-зондирование и кросс-выделение ?

29. Какие выходные файлы для изготовления печатной платы можно создать, используя редактор OrCAD PCB ?

Библиография

1. PSpice 17.2 User Guide (pspug).pdf 800 crp.

URL:http://ecadtools.com.au/documents/PSpice%2017.2%20User%20Guide%20(psp ug).pdf

2. OrCAD Capture 17.2 User Guide (cap_ug).pdf

URL:http://ecadtools.com.au/documents/OrCAD%20Capture%2017.2%20User%20 Guide%20(cap_ug).pdf

3. Orcad 17.2. Flow Tutorial

Cadence. Product Documentation : C:/Cadence/SPB_17.2/doc/flowtut/

4. OrCAD Capture User Guide. Product Version 17.2. 2016.

URL:http://ecadtools.com.au/documents/OrCAD%20Capture%2017.2%20User%20 Guide%20(cap_ug).pdf

5. OrCAD Lite Reference Product Version 17.2-2016 April 2016

URL: https://www.orcad.com/sites/orcad/files/resources/files/OrCAD%2017.2-2016%20Lite%20Limits.pdf

6. OrCAD CIS User Guide Product Version 17.2-2016 April 2016

URL:

http://ecadtools.com.au/documents/OrCAD%20CIS%2017.2%20User%20Guide%20 (cisug).pdf

7. Cadence Allegro and OrCAD: What's New in Release 17.2-2016

http://makerdiary.qiniudn.com/Cadence%20SPB%2017.2%20Release_Notes.pdf

8. Dennis Fitzpatrick. Analog Design and Simulation using OrCAD Capture and PSpice. URL: https://searchworks.stanford.edu/view/12320475

9. Разевиг В.Д. Система проектирвания OrCAD 9.2. М.: Солон-Р. 2001. С. 519

http://ru.b-ok.org/book/2723191/16264e

10. Д. Кеон. OrCAD PSpice. Создание электрических цепей. Пер. с англ. А. Осипова. — М.: Из да -тель ский дом ДМК!пресс. 2007. — 628 с.

11. Анатолий Иванов. САПР Cadence как основа сквозного маршрута проектирования электроники и СБИС. Cadence Design Systems, Inc. 2009.- 52 с.

12. Александр Акулин, 10 причин перейти на новый релиз САПР печатных плат Cadence Allegro/OrCAD 17.2-2016// Производство электроники, №5, 2016. с. 100-102.

13. В.Ежов. Расширенные возможности моделирования аналоговых и цифровых схем в OrCAD PSpice. По материалам семинаоа компании PCB SOFT. //

В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

Электроника; наука | технология | бизнес. №10 (00160) 2016. с. 1-8.

14. Зограф Ф. Г. Основы компьютерного проектирования и моделирования радиоэлектронных средств: лабораторный практикум [Электронный ресурс] / Ф. Г. Зограф. – Красноярск: Сиб. федерал. ун-т, 2011. – 120 с.

15. Б.В. Гусев, Е.В. Лагунов. Моделирование электронных схем в OrCAD. Учебное электронное текстовое издание. – Екатеринбург: Уравльский Федеральный университет имени первого президента России Б.Н. Ельцина, 2016.- 48 с.

16. Романовский М.Н. Моделирование аналоговых схем в OrCAD PSpice. – Томск: ТУСУР, 2016. – 76 с.