

Запоминающие устройства

Блоки запоминающих устройств (ЗУ) служат для запоминания больших массивов данных и становятся важнейшей составляющей частью цифровых компьютеров.

Схемы ЗУ подключаются, как правило, к шинной системе. Большое число различных ЗУ может быть подключено параллельно. Система шин позволяет записывать в определенную ячейку ЗУ или считывать из нее. При этом различают:

Адресные шины

Адресная шина подключается к каждому узлу ЗУ адресов, под которыми могут храниться данные или проводиться их поиск.

Управляющие шины

Управляющая шина содержит все линии, необходимые для управления схемным узлом. К ним относится линия, обеспечи-

вающая выбор узла и содержащая вывод для выбора чипа (chip select, CS).

Поскольку все узлы подключены к одной и той же адресной шине, то с помощью этой линии производится выбор соответствующего узла. С помощью линии считывание-запись можно осуществлять переключение между чтением и записью (read-write, RD-W).

Шины данных

Шина данных подключается ко всем схемным узлам. Чтобы в линиях не создавались конфликты, выходы блоков ЗУ, влияющие на шину данных, должны быть выходами типа tristate («с тремя состояниями»). Их делают свободными для включения с помощью линии output enable (OE, «разрешающий выход»), входящей в управляющую шину.

9.12.1. Постоянное ЗУ (ПЗУ)

Постоянное ЗУ называют ROM (read only memory), что означает ЗУ только с чтением.

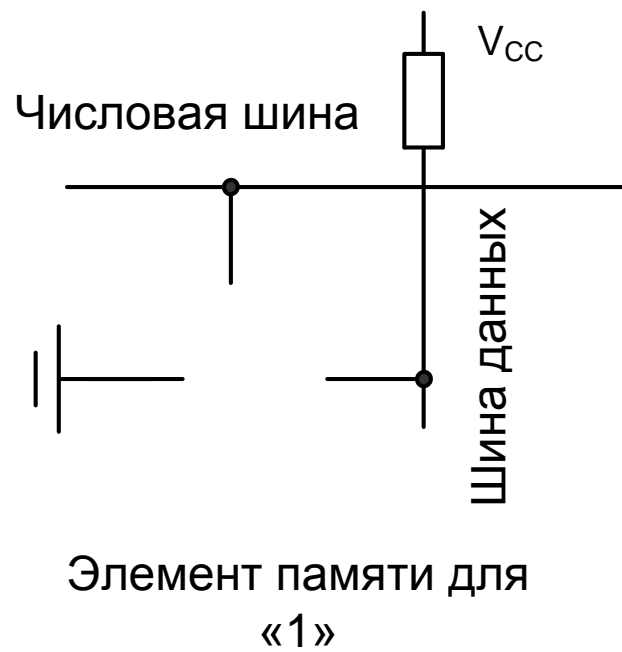
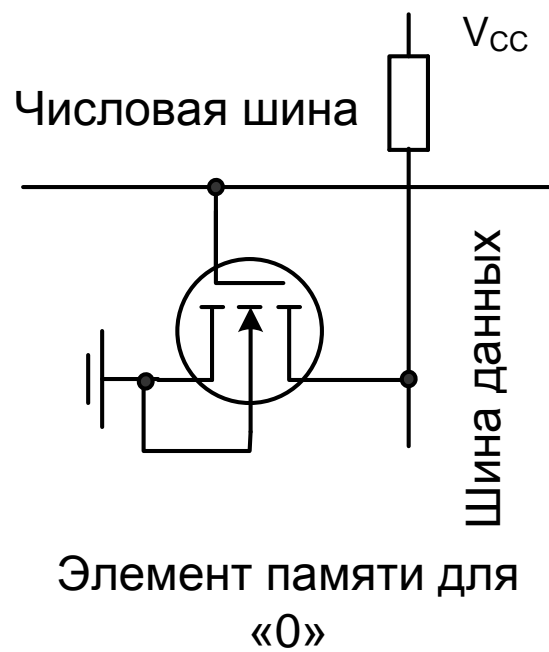
ROM является схемой ЗУ, содержание данных в котором определяется изготовителем с помощью маски. Содержание данных фиксировано и их можно только читать. Запомненные данные являются энергонезависимыми. ROM-схемы различаются числом битов, которые запомнены. Обычно используются ЗУ с длинами слов 1, 4, 8 и 16 бит. В ROM отдельные ячейки ЗУ расположены в виде матрицы (рис. 13.1). Ячейки ЗУ лежат в точках пересечений линий. К ним обращаются, подав напряжения 1 на строчную линию и на линию столбцов. Строчную линию называют числовой шиной (word line), линию столбцов называют шиной данных (data line). Преимущество данного устройства заключается в экономии шин. Для n^2 ячеек требуется $2n$ шин против n^2 в линейных устройствах.

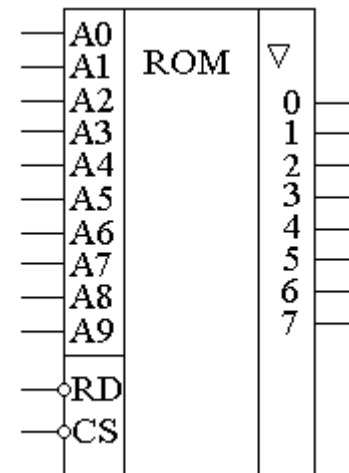
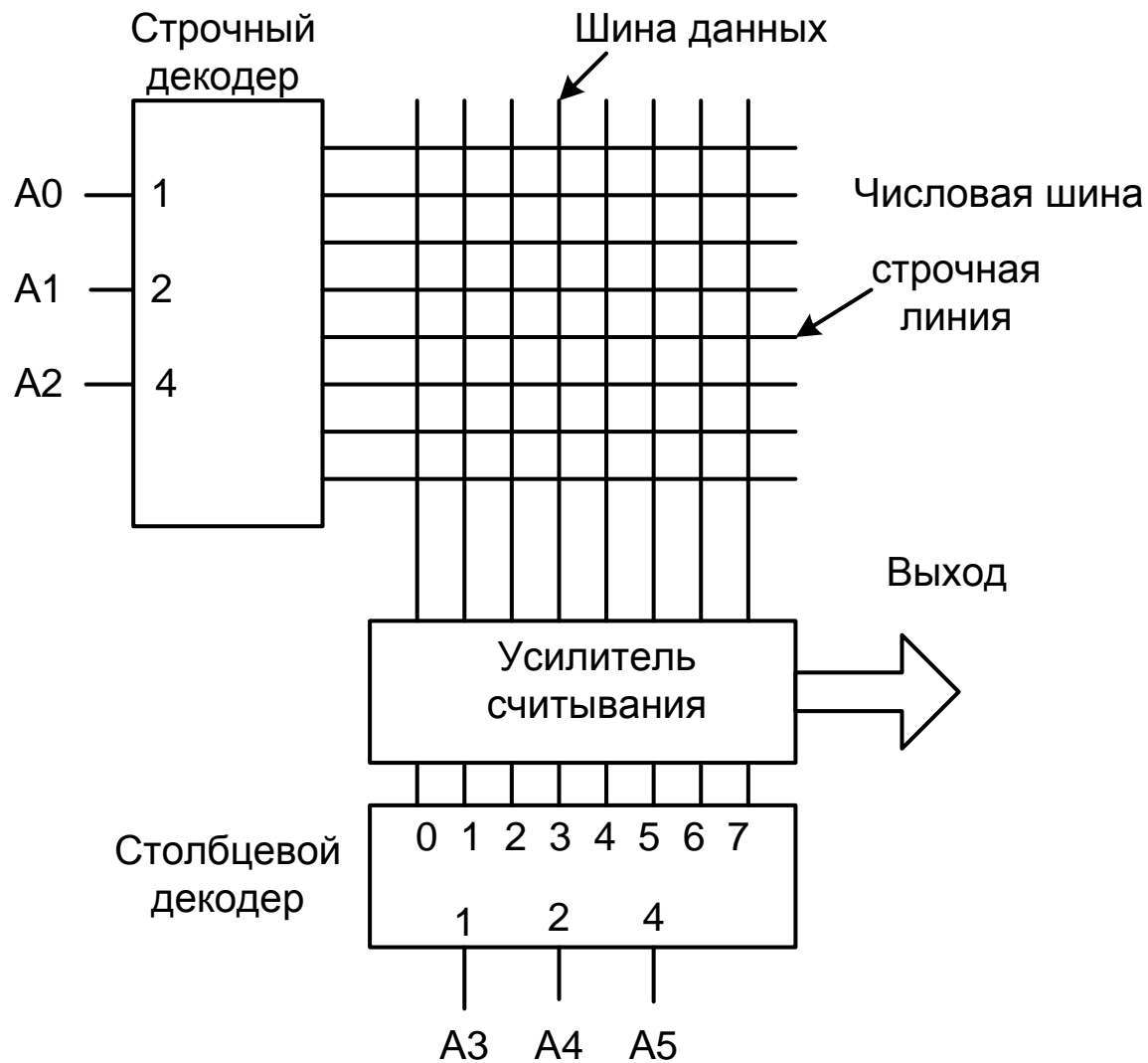
Распределение числовых шин (word line) по адресам осуществляет строчный декодер. Столбцевой декодер осуществляет выбор шин данных и работает как мультиплексор.

Для вывод накопленной информации к выходу между декодером и матрицей ЗУ включается усилитель считывания. На рис.9.33 показано ROM емкостью 8х8. Данные выводятся последовательно по сигналу чтения RD.

ПЗУ часто производят в N-МОП –технологии. На пересечении линий строк и столбцов в местах, соответствующих сигналу «0» формируют N-МОП транзисторы. В местах, соответствующих сигналу «1», транзисторы отсутствуют (рис.9.34).

В другом типе ПЗУ запись информации производится при помощи последней операции производства микросхемы — металлизации. Металлизация производится при помощи маски, поэтому такие ПЗУ получили название **масочных ПЗУ**.

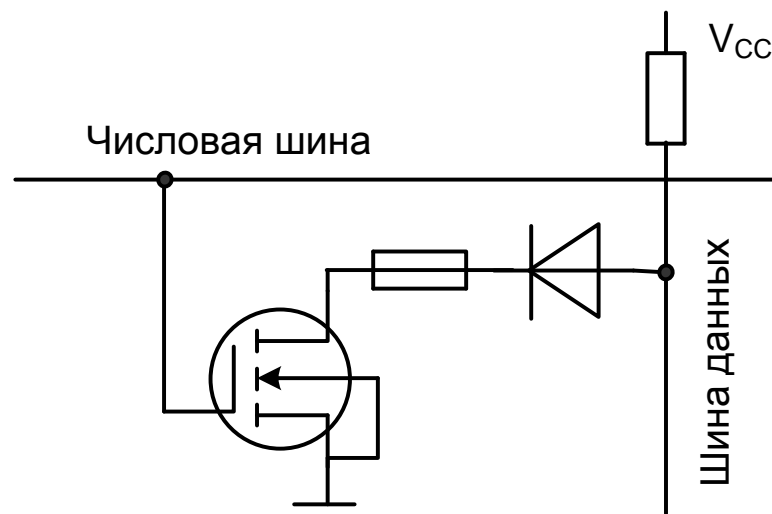




На микросхемах ПЗУ обозначают символом ROM.

9.12.2. Программируемое ПЗУ (ППЗУ), PROM

PROM соответствует по структуре ROM, но с тем отличием, что она *может программироваться пользователем*. PROM также выполнена в виде матрицы, со столбцевым и строчным декодерами для адресного декодирования. Возможная реализация может быть разработана на основе рис. 9.33. Стоки транзисторов в ячейках ПЗУ PROM могут быть законтрактивированы вместо соединения проводящими дорожками соединением плавкими перемычками (fusible link).



Если должно быть запомнено состояние 1, плавкая перемычка при программировании расплавляется током.. Плавкая перемычка подобна плавкому предохранителю. Записанная информация является энергонезависимой. Однажды

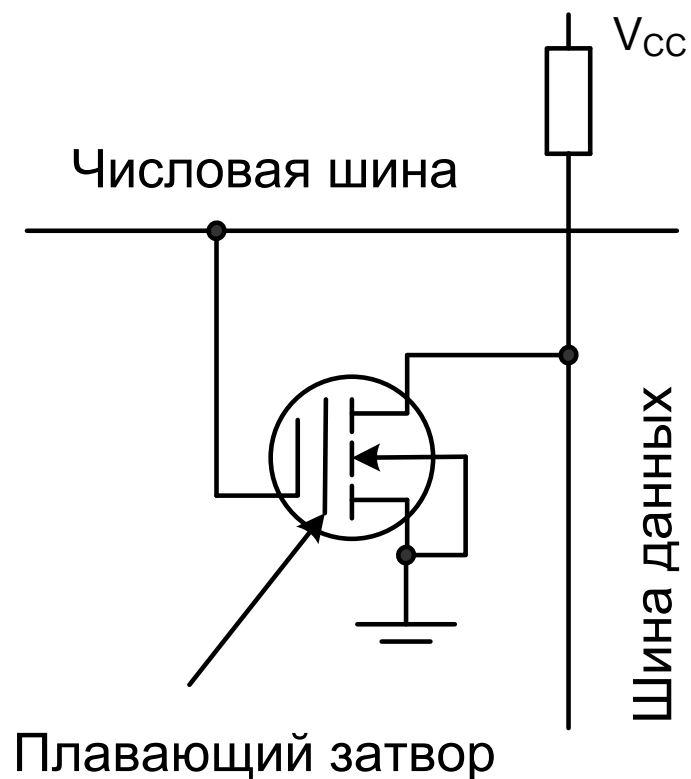
расплавленная плавкая перемычка не может быть вновь восстановлена. Поэтому подобные схемы обозначаются как OTP-ROM (OTP — one time programmable), то есть как ROM с однократным программированием.

9.12.3. Стираемое программируемое ПЗУ (EPROM)

EPROM обозначают erasable programmable ROM, стираемое-программируемое ПЗУ, СППЗУ. EPROM по своей структуре соответствует ROM или PROM только на месте плавких перемычек или программируемых с помощью маски соединений находятся «стираемые» запоминающие элементы.

В качестве таких запоминающих элементов используются МОП ПТ с плавающим затвором (рис. 9.36). Эти МОП ПТ являются нормально - закрытыми транзисторами с дополнительным затвором, который не имеет внешнего вывода и называется плавающим затвором.

Изначально этот затвор имеет нулевой потенциал. С помощью наведения заряда на плавающем затворе может быть осуществлена запись информации в ячейки.



При отсутствии заряда на плавающем затворе транзистор функционирует как обычный n -канальный транзистор нормально-закрытого типа. Достаточно большое положительное напряжение на затворе включает транзистор. Это состояние ведет к уровню L на шине данных в том случае, если данная ячейка $3У$ выбрана числовой шиной.

Чтобы запомнить уровень H , на плавающем затворе должен быть накоплен отрицательный заряд. Транзистор всегда будет заперт

и при выборе ячейки с помощью числовой шины шина данных остается на уровне Н. Отрицательный заряд на плавающем затворе создается за счет туннелирования электронов через оксид при повышенном напряжении между стоком и подложкой поле между затворным электродом и каналом достигает высоких значений и за счет лавинного пробоя на плавающем затворе накапливается отрицательный заряд. Он запирает транзистор и сохраняется несколько лет.

Стирание ультрафиолетом.

9.12.4. EEPROM электрически стираемое программируемое ПЗУ

Через EEPROM обозначают электрически стираемое программируемое ПЗУ, ЭСППЗУ (electrically erasable programmable ROM). Эта схема ЗУ электрически записывается и электрически стирается. Единичная ячейка ЗУ также как и в EPROM, построена на одном МОП ПТ с плавающим затвором. Однако оксид между плавающим затвором и каналом имеет меньшую толщину. Благодаря этому оказывается возможным, при повышенном напряжении между затвором и каналом, перемещать электроны с затвора в канал и обратно. Это происходит за счет эффекта туннелирования.

EEPROM со специальными ячейками ЗУ иногда называют flash-EEPROM («мигающее» EEPROM). Они стираются не только полностью, но и поблочно.

Логический символ EEPROM идентичен символу ROM.

9.12.5. Обзор энергонезависимых ЗУ

Таблица 9.7

Обозначение	Программирование		Стирание
ROM (read only memory)	Маска	Однократное	Невозможно
PROM (программируемое ROM), программируемое полем ROM, однократное PROM (OTPROM)	Эл.	Однократное	Невозможно
EPROM (erasable ROM)	Эл.	Многократное	УФ облучение (20 минут), все содержимое ЗУ
EEPROM (electrically erasable ROM) flash-EEPROM	Эл.	Многократное	Электрическое, все содержимое ЗУ или по битам (20-100 мс)

9.13. Оперативные запоминающие устройства ОЗУ (RAM)

RAM является сокращением для random access memory (то есть ЗУ с произвольной выборкой, ЗУПВ). Это схема ЗУ, в которой можно произвольно записывать и из которой можно произвольно считывать информацию. Ячейки памяти выбирают по их адресам. В ячейках хранится записанная информация. Для вывода данных ячейки также выбирают по адресам. Считывание данных не стирает содержание ячейки. Если информация больше не нужна, она может быть удалена, а в ячейку записана новая информация.

ОЗУ выпускают в виде интегральных микросхем. Различают статические RAM и динамические RAM (DRAM). В статических RAM в качестве ячеек памяти применяют триггеры. Схемы с высокой степенью интеграции работают в основном с использованием динамического запоминания информации в конденсаторах, управляемых одним транзистором.

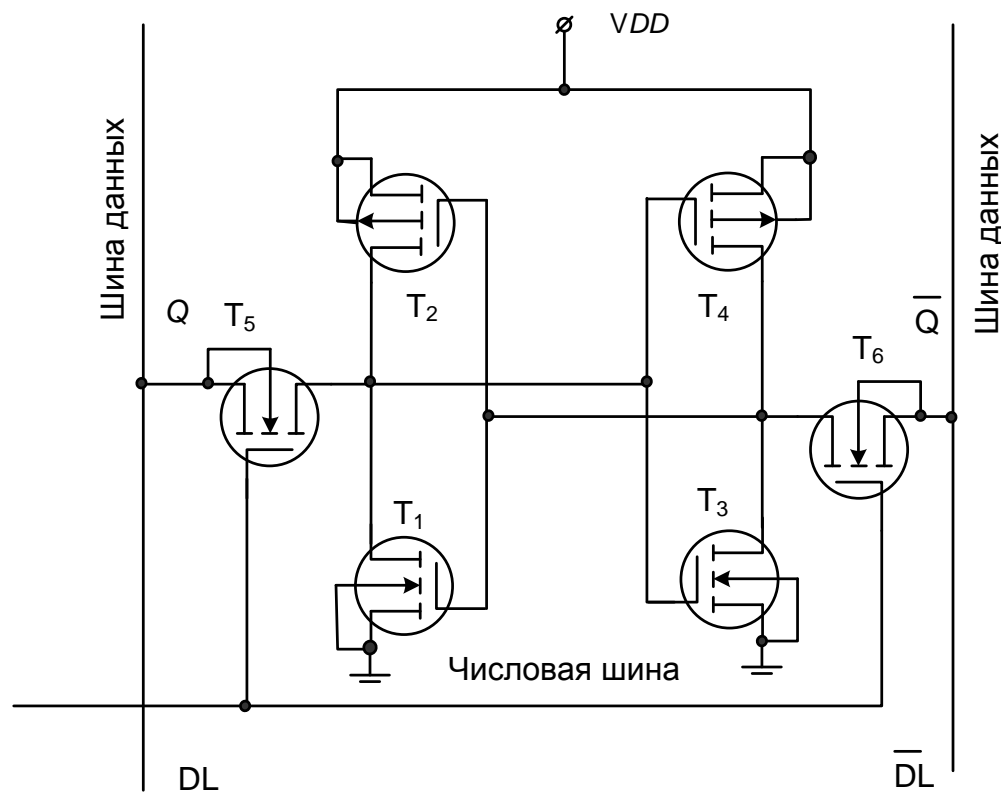


Рис.9.37. Ячейку ЗУ типа RAM,
выполненная по
КМОП-технологии

Для выбора ячейки на числовую шину подается Н. Вследствие этого T_5 и T_6 становятся низкоомными. В процессе записи можно, подав уровень Н на шину данных DL, записать Н в ЗУ. В таком

случае T_3 будет открыт, а T_4 — закрыт. Правый инвертор выдаст L. После этого будет настроен на Н левый инвертор. Схема работает как триггер. Точно также можно записать L в ЗУ, подав Н на шину данных \overline{DL} . При считывании ячейка вновь выбирается с помощью числовой шины. На шинах данных может быть считан

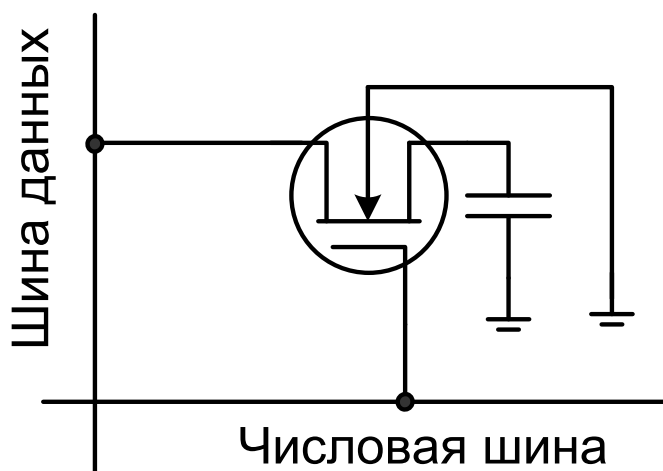
запомненный бит.

Для считывания с обеих шин данных используется один симметричный усилитель считывания. Имеется также усилитель записи.

9.13.2. Динамические ОЗУ (DRAM)

DRAM (динамическое RAM) представляет собой энергозависимое полупроводниковое ЗУ, в котором информация запомина-

ется в конденсаторах. Благодаря очень простой структуре ячейки ЗУ подобные DRAM имеют очень большую информационную емкость. Запоминающий DRAM элемент показан на рис. 9.38. Приложение Н к числовой линии позволяет выбрать ячейку ЗУ. Тогда накопленный на конденсаторе заряд может стекать по шине дан-



ных. Наличие заряда означает содержимое ЗУ со значением Н, а значению L соответствует отсутствие заряда. Чтение разрушает накопленный заряд, так что после каждого считывания заряд должен быть снова восстановлен (регенирирован).

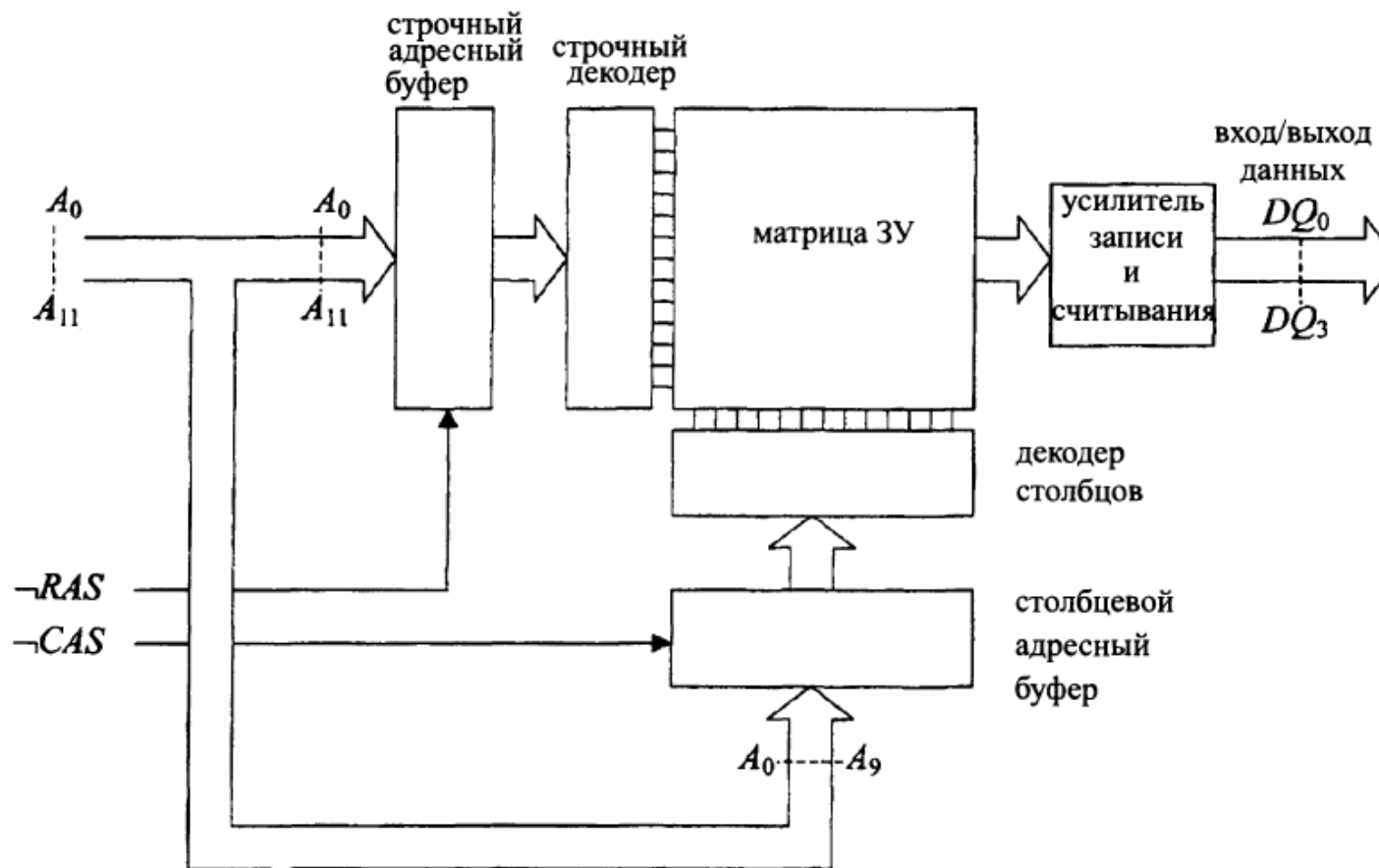
Все запомненное содержимое должно периодически регенирироваться с помощью процесса считывания.

Показана схема DARM емкостью 4М x 4 бит. Данные в каждой ячейке ЗУ должны регенирироваться каждые 64 мс.

В DRAM для выборки столбцов используется 10 бит и для выборки строк 12бит. Для введения строчных адресов используется контактная площадка $\wedge RAS$ (row address strobe, выборка строчных адресов), а для введения столбцевых адресов контактная площадка $\wedge CAS$ (column address strobe, выборка столбцевых адресов). С помощью усилителя записи и считывания вводятся и считываются слова длиной 4 бита.

DRAM работает в режимах: считывание, запись, регенерация,

хранение. Для каждого режима заданы временные диаграммы выдачи адресов и управляющих импульсов. Эти диаграммы надо соблюдать при проектировании устройств с оперативной памятью.



9.14. Программируемые логические схемы

Для выполнения специальных задач требуются интегральные микросхемы с различными функциями алгебры логики (ФАЛ). Разработаны микросхемы, которые программируются производителем или самими пользователями.

9.14.1. Логические схемы, программируемые изготовителем

Схемы с большими логическими структурами называют программируемыми вентилями матрицами. Это **схемы-полуфабрикаты**. Имеющиеся на них вентили могут быть соединены друг с другом *по желанию пользователя*. Линии связи производят масками -это стеклянные фотошаблоны, на которые нанесены фотографически уменьшенные логические структуры. Маски переносят на полупроводниковые пластины, используя процесс фотолитографии, и такое **программирование называют масочным**.

Матричные кристаллы, базовые ячейки и схемы, ориентированные на заказчика – это разновидности ASIC микросхем (Application Specific Integrated Circuit). Микросхемы встраивают в корпус, который имеет от 16 до 144 выводов. Особенно высокую плотность размещения вентиляей можно достигнуть с N-MOP технологией.

9.14.2. Логические схемы, программируемые потребителем

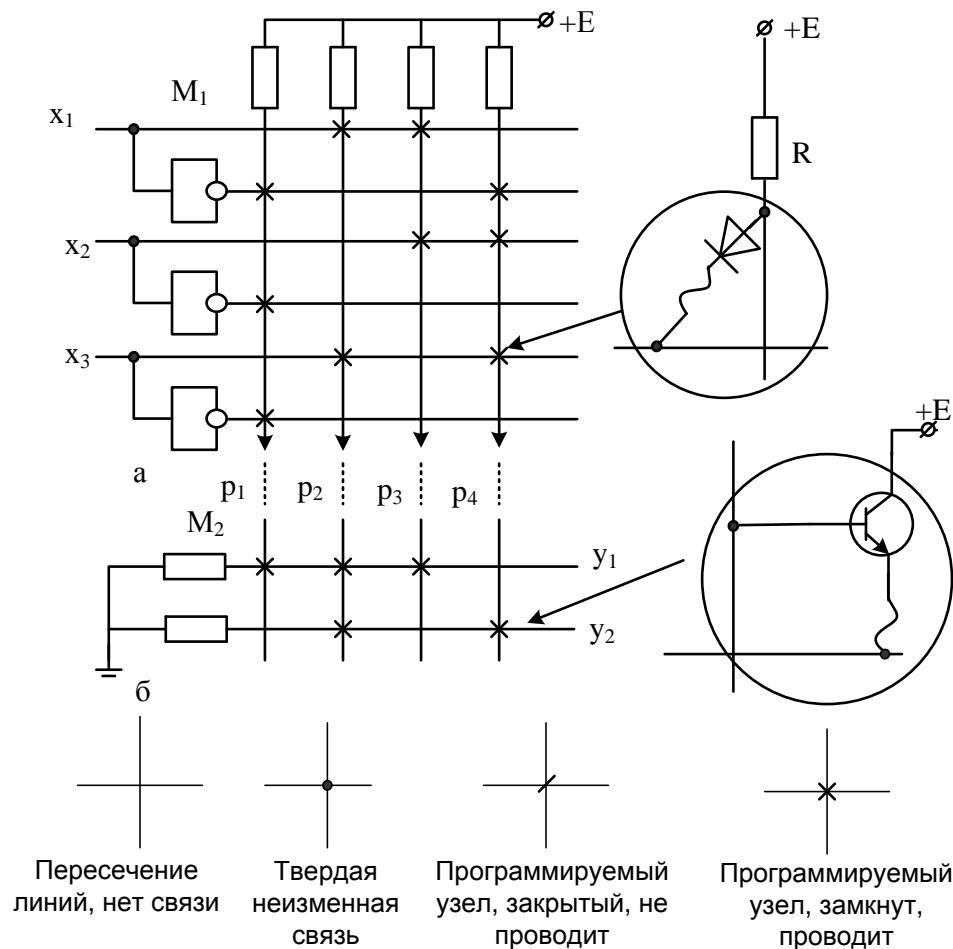
Логические схемы, программируемые потребителем, называют PLD (Programmable Logic Devices) – программируемые логические устройства.

Логические связи любой схемы могут быть выражены в *Совершенной дизъюнктивной нормальной форме (СДНФ)*. СДНФ можно реализовать, используя логические элементы И и ИЛИ, соединенные определенным образом с помощью *программируемой логической матрицы (ПЛИМ)*.

Схема ПЛМ с тремя входными сигналами X_1, X_2, X_3 и двумя выходными Y_1, Y_2 .

$$y_1 = P_1 + P_2 + P_3 = \bar{x}_1 \bar{x}_2 \bar{x}_3 + x_1 x_3 + x_1 x_2$$

$$y_2 = P_2 + P_4 = x_1 x_3 + \bar{x}_1 x_2 x_3$$



Для сохранения высокого потенциала на вертикальной шине матрицы M1 необходимо, чтобы все диоды этой шины были заперты, т.е. на всех входах была логическая «1». Таким образом на вертикальных шинах реализуется операция И от аргументов, помеченных крестиками, в которых диоды действуют. Матрицу M1 называют матрицей И.

Конъюнкции P_1, P_2, P_3 , образованные на выходах матрицы И, называют термами.

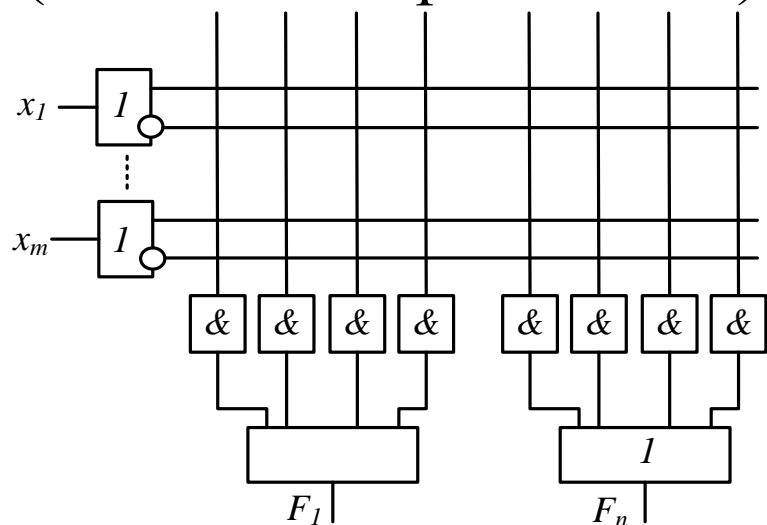
В матрице М2: открытие любого транзистора приводит к появлению на горизонтальной шине у потенциала «1», поэтому на ней реализуется функция ИЛИ от входных переменных P_i , помеченных крестиками. Так как каждая из переменных P_i реализует функцию И над аргументами x , то в итоге ПЛМ осуществляет реализацию СДНФ логических функций.

ПЛМ могут выполняться как на биполярных, так и на МОП-транзисторах. Программирование ПЛМ заключается в пережигании перемычек, соединяющих горизонтальные и вертикальные шины матриц, которое выполняется в программаторах.

Если аргумент не участвует в формировании переменной P , пережигают две перемычки, а если участвует – пережигают одну из перемычек для прямого или инверсного значения аргумента. Если переменная P входит в функцию y , то перемычку сохраняют, а если не входит – пережигают.

9.14.3. Разновидности программируемых логических устройств «Программируемые логические интегральные схемы» (ПЛИС), иностранное название PLD.

Программируемая матричная логика – ПМЛ (Programmable Array Logic – PAL). В ПМЛ (рис. 9.41) выходы элементов И первой матрицы жестко расположены между элементами ИЛИ (входами матрицы ИЛИ).



Для m входов и n выходов требуется m инверторов, n схем ИЛИ и $4n$ элементов И. По сравнению с ПЛИС эта схема имеет меньшую функциональную гибкость, но ее изготовление и использование проще.

Программирование перемычек.

Логика на базовых матричных кристаллах GAL (Genetic Array Logic). GAL-схемы были спроектированы с целью улучшить некоторые известные недостатки PAL-схем.

GAL-схемы являются полностью EPLD (стираемые ультрафиолетом Erasable PLD) или EEPLD (стираемые электрически Electrical Erasable PLD). Их можно программировать более ста раз. GAL-используют программируемую И-матрицу, а матрица ИЛИ фиксирована.

Программируемые пользователем вентильные матрицы FPGA (field-programmable gate array) содержат блоки умножения-суммирования, которые широко применяются при обработке сигналов, а также логические элементы (как правило, на базе таблиц перекодировки — таблиц истинности) и их блоки коммутации. Программа для FPGA хранится в распределённой памяти, которая может быть выполнена как на основе энергозависимых ячеек статического ОЗУ (в этом случае программа не сохраняет-

ся при исчезновении электропитания микросхемы), так и на основе энергонезависимых ячеек flash-памяти или перемычек antifuse (в этих случаях программа сохраняется при исчезновении электропитания).

СБИС система на кристалле (СнК – система-на-кристалле) , (SoC – System on Chip), интегральная схема, содержащая компоненты компьютерных или иных электронных систем на одном кристалле. Может включать в себя цифровую, аналоговую и радиочастотную функции. Состоит, как правило, из готовых электронных компонент - специализированных СБИС (ASIC), полужаказных ИС (ПЛИС, БМК), ИС средней и малой степени интеграции, а также дискретных элементов, размещённых на одной подложке интегральной схемы.